

Technique Structurale d'Affectation des Bits Non Spécifiés en Vue d'une Réduction de la Puissance de Pic Pendant le Test Série

N. Badereddine¹ P. Girard¹ S. Pravossoudovitch¹ C. Landrault¹ A. Virazel¹ H.-J. Wunderlich²

¹ *Laboratoire d'Informatique, de Robotique et de Microélectronique de Montpellier – Université de Montpellier II / CNRS
161, rue Ada – 34392 Montpellier Cedex 5, France
Email: <nom>@lirmm.fr URL: <http://www.lirmm.fr/~w3mic>*

² *Institut für Technische Informatik / Universität Stuttgart
Pfaffenwaldring 47 – 70569 Stuttgart, Germany
Email: wu@informatik.uni-stuttgart.de URL: <http://www.ra.informatik.uni-stuttgart.de>*

Résumé

La consommation de puissance est devenue un paramètre important lors de la conception d'un circuit intégré. De plus, cette consommation est plus importante en mode test qu'en mode fonctionnel. Dans cet article nous nous intéressons à la puissance de pic durant le test série et plus spécialement pendant le cycle de test (entre l'application du vecteur de test et la capture de la réponse) afin d'éviter l'apparition de phénomènes de bruits. Nous proposons une technique de remplissage des bits non spécifiés des vecteurs de test basée sur l'analyse de la structure du circuit sous test. Les résultats expérimentaux montrent que cette technique propose le meilleur compromis entre la réduction de la puissance de pic et l'augmentation de la séquence de test.

1. Introduction

La consommation de puissance est souvent plus importante pendant le mode test que pendant le mode de fonctionnement normal d'un circuit intégré [1]. Deux raisons principales peuvent expliquer cette surconsommation de puissance. D'une part, il y a un conflit d'objectif entre la fonctionnalité, où le taux d'activité doit être le plus bas possible (comme pour les applications portables favorisant l'autonomie de l'appareil) et le test, où le taux d'activité doit être le plus haut possible afin d'améliorer la qualité du test. D'autre part, il y a une faible corrélation entre les données du test, alors que les données fonctionnelles sont souvent fortement corrélées. Ceci peut causer une activité de commutation plus importante pendant le test que pendant le fonctionnement normal du circuit.

Ce problème de consommation excessive de puissance est aussi présent lors du test série, car chaque vecteur nécessite un grand nombre de décalage pour être chargé, ce qui se traduit par une forte excitation du circuit sous test [2]. L'objectif de cette étude est la minimisation de la puissance de pic durant le cycle de test (CT) du test série. Nous proposons une technique de remplissage des bits non spécifiés (bits à 'X') de la séquence de test basée sur l'analyse de la structure du circuit. Pour les circuits de la famille ISCAS'89 et ITC'99, l'approche proposée peut atteindre jusqu'à 75% de réduction de la puissance de pic

durant le CT par rapport à une solution de remplissage aléatoire fournie par un ATPG conventionnel (Automatic Test pattern Generator).

Le reste de l'article est organisé comme suit. La Section 2 présente les principes du test série ainsi que l'origine de la puissance de pic durant ce type de test. La Section 3 présente les techniques classiques de remplissage des 'X'. La Section 4 présente la technique proposée et la section 5 conclue cet article.

2. Analyse de la puissance de pic pendant le test série

La consommation de puissance peut s'exprimer sous deux formes. La consommation de puissance moyenne, qui est la puissance consommée pendant l'intégralité de la phase de test et la consommation de puissance instantanée ou de puissance de pic (maximum des puissances instantanées) qui est la puissance consommée pendant un temps très court.

La consommation de puissance moyenne peut être contrôlée par la réduction de la fréquence d'horloge du test. En revanche, la consommation de puissance de pic est indépendante de la fréquence d'horloge et par conséquent elle est plus difficile à maîtriser. Parmi les différentes techniques proposées récemment pour réduire la consommation de puissance durant le test (un résumé de ces techniques est donné dans [3]) seulement quelques unes d'entre-elles s'intéressent à la puissance de pic.

Pendant le fonctionnement à haute fréquence, une puissance de pic excessive se traduit par un fort appel de courant (di/dt) qui peut favoriser l'apparition de phénomènes de bruit, tels que le "V_{dd} bounce", le "Ground Bounce" (rebondissement du niveau de la tension) ou "IR-Drop" (chute/augmentation de la tension au niveau des lignes d'alimentation/de masse). Ces phénomènes peuvent causer un changement de l'état logique du circuit et donc une baisse du rendement car des circuits sains pourraient être classés comme fautifs.

Le test série ou le test par scan consiste à chaîner les bascules du circuit sous la forme d'un registre à décalage. Pour cela, les bascules du circuit sont modifiées en bascules scan en ajoutant un multiplexeur à leurs entrées (Figure 1). Le signal test, commandant les multiplexeurs,

permet de choisir entre le mode de fonctionnement normal du circuit et le mode test. En mode test, les vecteurs sont chargés en série via l'entrée scan_in en n cycles d'horloge pour n bascules (cycles de décalages). Une fois la réponse à ce vecteur capturée dans les bascules (CT), elle est sortie en série via la sortie scan_out pendant qu'un nouveau vecteur est chargé. Ce type de structure rend donc l'ensemble des bascules d'un circuit séquentiel contrôlables et observables.

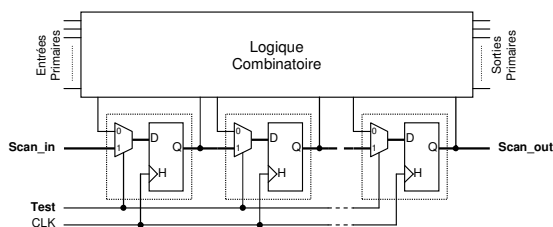


Figure 1 : Schéma de principe du test série

Durant les cycles de décalage et de test il peut apparaître une violation de la puissance de pic due à une forte activité de commutation dans le circuit. Dans le but d'analyser à quel moment la puissance de pic peut être excessive, nous avons effectué un ensemble d'expériences. Considérant une chaîne de scan avec n bascules et une séquence de test déterministe, nous mesurons pour chaque circuit le courant consommé dans la partie combinatoire du circuit à chaque période d'horloge. Ensuite, nous relevons la valeur maximale du courant pendant les cycles de décalage (le maximum des n cycles d'horloge) et pendant le CT (après le dernier décalage). Il faut noter que le courant consommé durant le CT est lié aux transitions générées dans le circuit par le dernier vecteur scan V_n qui est le vecteur de test (Figure 2). Les résultats de ces expériences sont reportés dans le Tableau 1.

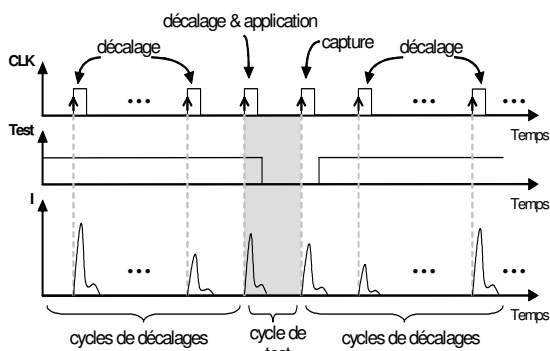


Figure 2 : Exemple du courant consommé pendant le test série

Nous remarquons que la puissance de pic (en milliWatts) est souvent plus importante pendant les cycles de décalages que pendant le CT. Cela peut s'expliquer par le grand nombre de cycles d'horloge pendant le décalage en comparaison avec un seul CT. Néanmoins, la puissance de pic du CT est du même ordre de grandeur que celle des cycles de décalages. Cela peut faire apparaître des phénomènes de bruits pendant la capture qui n'étaient pas présents pendant le décalage. Dans ce cas, un fort appel de

courant peut faire chuter le niveau de la tension appliquée aux portes logiques du circuit, ce qui augmentera le délai de ces portes. Ce délai peut directement affecter la capture de la réponse du circuit, et par conséquent ce circuit sain pourra être déclaré fautif réduisant ainsi le rendement du test [4].

Circuit	Consommation de puissance de pic (mW)	
	Cycles de Décalages	Cycle de Test
b04s	77,50	59,60
b09	34,43	30,48
b10	27,88	23,71
b11s	50,42	41,27
b12	113,84	101,46
b13s	61,09	52,92
b14s	395,55	319,83
b17s	1038,35	1118,68
s526	47,88	45,26
s713	23,57	18,76
s1196	66,89	10,03
s1488	81,52	76,83
s5378	197,76	179,66
s9234	359,68	339,88
s13207	499,68	483,30
s38417	1121,80	1074,33

Tableau 1 : Puissances de pic mesurées durant le test série

A partir de ces expérimentations, nous pouvons conclure qu'afin d'éviter l'apparition de ce type de phénomène, il faut réduire le nombre de transitions présentes dans le circuit sous test pendant le CT et de nouvelles techniques doivent être développées.

3. Techniques classiques de remplissage de 'X'

Dans les ATPG conventionnels, les bits non spécifiés (bits à 'X') sont remplis de manière aléatoire. Il faut noter que le nombre de bits non spécifiés dans une séquence de test donnée est généralement très proche du nombre de bits total [5]. Cette fraction significative de bits non spécifiés présente une opportunité qui peut être exploitée afin de réduire la consommation de puissance durant le test série.

Dans le but de réduire la consommation de puissance durant le CT, l'idée est d'affecter des valeurs spécifiées aux bits à 'X' de chaque vecteur de test qui composent une séquence de test déterministe, de façon à réduire le nombre de transitions dans chaque vecteur de test. Dans un premier temps, les 'X' sont remplis à l'aide des techniques classiques suivantes :

- Adjacent Filling : chaque 'X' du vecteur de test est remplacé par la valeur du dernier bit spécifié rencontré (en fonctionnant de gauche à droite)
- 0-Filling : tous les 'X' sont remplacés par '0'.
- 1-Filling : tous les 'X' sont remplacés par '1'.

Prenant par exemple le vecteur de test 0XXX1XX0XX0XX. Si nous appliquons les trois techniques classiques précédentes, le résultat sera comme suit :

- 0000111000000 avec Adjacent Filling,
- 0000100000000 avec 0-filling,
- 0111111011011 avec 1-filling.

Ces trois techniques ont été évaluées dans [6] pour mesurer la réduction de puissance moyenne pendant les cycles de décalages. Les résultats montrent que la technique "Adjacent Filling" apporte la meilleure réduction de l'activité de commutation avec une faible augmentation du nombre de vecteurs de test. De notre part, nous avons évalué ces mêmes techniques pour mesurer la réduction en puissance de pic durant le CT par rapport à une séquence de test standard (les bits non spécifiés sont remplis de manière aléatoire par l'ATPG).

Le tableau [2] présente le pourcentage de réduction de puissance de pic.

Circuits	Adjacent Filling	0-Filling	1-Filling
b04s	28.9	49.6	7.1
b09	21.4	19.3	17.6
b10	40.4	7.3	23.4
b11s	20.6	19.2	7.6
b12	67.5	68.2	57.8
b13s	60.0	43.9	49.7
b14s	26.3	30.7	-10.7
b17s	80.1	77.7	75.7
s1196	79.3	58.2	66.1
s5378	74.2	67.5	70.7
s9234	66.5	44.6	41.6
s13207	89.5	84.4	87.9
s38417	71.8	82.5	84.1

Tableau 2 : Réduction de la puissance de pic durant le CT

Ces résultats montrent l'efficacité des techniques expérimentées en terme de réduction de puissance de pic durant le CT. Dans la majorité des cas, la technique "Adjacent Filling" produit le meilleur résultat par rapport aux deux autres techniques, mais cela n'est pas toujours vrai, car la structure interne du circuit peut favoriser une technique par rapport aux autres. Par exemple, le circuit b14s contient plus de 500 portes AND/NAND connectées aux cellules de la chaîne de scan et seulement 47 portes OR/NOR. De ce fait, il était prédictible que la technique "0-Filling" apporte la meilleure réduction de puissance. Cette remarque nous a mené à développer une nouvelle technique de remplissage des 'X' qui prend en compte la structure interne du circuit.

4. Remplissage de 'X' basé sur la structure du circuit

Cette technique de remplissage de 'X', appelée Structural-Based X-Filling (SB-Filling), affecte les 'X' en se basant sur la structure du circuit sous test. En fonction du type de portes directement connectées aux cellules scan, les 'X' seront affectés de manière à bloquer les transitions possibles dans la partie combinatoire du circuit.

Prenant l'exemple de la figure 3, la porte G1 a deux de ses entrées connectées aux cellules scan tandis que la porte G2 a une seule entrée connectée à une cellule scan. Afin d'assurer la stabilité (pas de transitions) de la porte G1, nous devons satisfaire l'équation suivante :

$$\overline{Y_i} \cdot \overline{Y_{i+1}} + \overline{Z_i} \cdot \overline{Z_{i+1}} + \overline{Y_i} \cdot \overline{Z_{i+1}} + \overline{Z_i} \cdot \overline{Y_{i+1}} + Y_i \cdot Y_{i+1} \cdot Z_i \cdot Z_{i+1} = 1 \quad (1)$$

Chaque terme de l'éq.1 correspond à la succession de valeurs aux entrées de la porte qui garantissent la stabilité de la sortie. Les deux premiers termes $\overline{Y_i} \cdot \overline{Y_{i+1}}$ et $\overline{Z_i} \cdot \overline{Z_{i+1}}$ correspondent à la succession de deux '0' sur la même entrée. Les deux suivants $\overline{Y_i} \cdot \overline{Z_{i+1}}$ et $\overline{Z_i} \cdot \overline{Y_{i+1}}$ correspondent à la succession de deux '0' sur deux entrées différentes. Le dernier terme $Y_i \cdot Y_{i+1} \cdot Z_i \cdot Z_{i+1}$ signifie que toutes les entrées restent à '1' pour assurer la stabilité de la sortie de la porte à '1'.

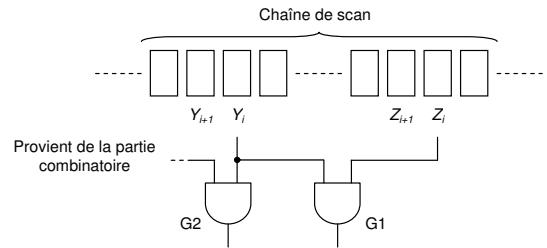


Figure 3 : Exemple de portes connectées à la chaîne de scan

Afin d'avoir l'éq. 1 sous la forme d'un problème de satisfiabilité (SAT), nous l'avons réécrit sous forme de produit de sommes, où chaque terme est appelé "clause" et doit être satisfait afin de garantir la stabilité de la sortie de la porte. L'éq. 1 devient alors :

$$\left(\overline{Y_i} + \overline{Z_i} + Y_{i+1} \right) \cdot \left(\overline{Y_i} + \overline{Z_i} + Z_{i+1} \right) \cdot \left(\overline{Y_{i+1}} + \overline{Z_{i+1}} + Y_i \right) \cdot \left(\overline{Y_{i+1}} + \overline{Z_{i+1}} + Z_i \right) = 1 \quad (2)$$

Si la porte est connectée à une seule cellule scan (porte G2), l'équation à satisfaire est :

$$\overline{Y_i} \cdot \overline{Y_{i+1}} = 1$$

qui correspond à la succession de deux '0' qui garantissent la stabilité de la sortie de la porte à '0'.

La technique "SB-Filling" commence par le calcul des équations de toutes les portes connectées à la chaîne de scan. Le problème à résoudre est similaire à un problème de satisfiabilité. L'utilisation d'un algorithme SAT n'est pas envisageable due à la faible probabilité de garantir la vérification de toutes les clauses. Pour cela, nous proposons une solution qui garantit la stabilité de la sortie d'un maximum de portes. Comme ce problème d'optimisation est NP-Complet, nous utilisons l'algorithme glouton présenté dans la figure 4.

A partir des équations correspondantes à chaque porte connectée à la chaîne de scan, la boucle interne de l'algorithme est exécutée pour chaque vecteur de la séquence de test. Nous utilisons d'abord les bits spécifiés du vecteur de test afin d'actualiser l'équation de chaque

porte. Ensuite nous commençons par le premier 'X'. Ce 'X' est affecté à '0' ensuite à '1'. Nous calculons le nombre d'équations satisfaites (n), le nombre d'équations à satisfaire (p) et le nombre de clauses totales restantes dans toutes les équations (nc).

```

Déterminer les portes connectées à la chaîne de scan;
Calculer l'équation de chaque porte;
Générer une séquence déterministe avec les bits non spécifiés à 'X';
Pour chaque vecteur de la séquence de test {
  Actualiser les équations avec les bits spécifiés;
  Pour chaque bit à 'X' {
    Affecter '0' au 'X' {
      Calculer le nombre d'équations satisfaites (n0);
      Calculer le nombre d'équations restantes (p0);
      Calculer le nombre total de clauses restantes (nc0);
    }
    Affecter '1' au 'X' {
      Calculer (n1), (p1) and (nc1);
    }
    si (n0 > n1)      Remplacer 'X' par '0';
    sinon si (n1 > n0) Remplacer 'X' par '1';
    sinon si (p0 > p1) Remplacer 'X' par '0';
    sinon si (p1 > p0) Remplacer 'X' par '1';
    sinon si (nc0 > nc1) Remplacer 'X' par '1';
    sinon si (nc1 > nc0) Remplacer 'X' par '0';
    sinon              Remplacer 'X' avec la technique du
                      Adjacent-Filling;
  }
  Actualiser les équations;
}
}
Exécuter une simulation de faute pour éliminer les vecteurs non
nécessaires;
Estimer la puissance de pic Durant le CT;

```

Figure 4 : Algorithme glouton

A partir de ces trois données, l'affectation de ce 'X' se fait, successivement, selon les règles suivantes :

- Maximiser n.
- Maximiser p.
- Minimiser nc.
- Si aucune solution n'a été trouvée, appliquer la technique "Adjacent-Filling".

Ensuite, les équations sont actualisées avec la nouvelle valeur du 'X' considéré. Lorsque tous les 'X' sont affectés, la séquence résultante est simulée afin d'éliminer les vecteurs non nécessaires. Cette séquence est ensuite utilisée pour l'estimation de la réduction de puissance pic durant le CT comparée à une séquence générée par un remplissage aléatoire.

A partir de ces résultats, nous remarquons que la technique "SB-Filling" atteint 52,4% de réduction en moyenne tandis que l'"Adjacent-Filling" atteint 55,9%. Cependant, le SB-Filling i) apporte une réduction proche ou égale à la meilleure obtenue avec les autres techniques et ii) le minimum d'écart type. En d'autres termes, la technique SB-Filling garantit une bonne réduction de puissance pour chaque circuit tandis que la réduction obtenue avec les autres techniques est plus variable. En plus, la technique SB-Filling produit le minimum d'augmentation de la séquence de test par rapport à la séquence de départ (remplissage aléatoire).

Circuit	SB-Filling	A-Filling	0-Filling	1-Filling
b04s	44.5	28.9	49.6	7.1
b09	24.3	21.4	19.3	17.6
b10	39.4	40.4	7.3	23.4
b11s	20.9	20.6	19.2	7.6
b12	70.1	67.5	68.2	57.8
b13s	53.3	60.0	43.9	49.7
b14s	27.2	26.3	30.7	-10.7
b17s	78.9	80.1	77.7	75.7
s1196	66.3	79.3	58.2	66.1
s5378	74.2	74.2	67.5	70.7
s9234	43.8	66.5	44.6	41.6
s13207	85.3	89.5	84.4	87.9
s38417	52.5	71.8	82.5	84.1
Moyenne	52.4	55.9	50.2	44.5
Ecart type	21.4	24.8	25.6	32.6
Augmentation de la séquence	4.4 %	4.6 %	15.9 %	16.1 %

Tableau 3 : Réduction de la puissance de pic durant le CT

5. Conclusion

Dans cet article, nous avons exposé le problème de la consommation excessive de puissance pendant le test série. Nous avons commencé par une analyse de la consommation de la puissance de pic durant le test série. Ensuite, nous avons souligné l'importance de réduire cette puissance durant la phase de capture pour éviter l'apparition de phénomènes de bruits.

Pour cela, nous avons proposé une technique de remplissage des bits non spécifiés dans les séquences de test basée sur la structure interne du circuit. Comparée à des techniques classiques de remplissage, la solution "SB-Filling" est la plus attractive car elle apporte le meilleur compromis entre la réduction de puissance de pic et l'augmentation de séquence de test. En plus, aucune modification de la conception du circuit n'est nécessaire.

Références

- [1] Semiconductor Industry Association (SIA), "International Technology Roadmap for Semiconductors (ITRS)", 2004 Updated Edition.
- [2] M.L. Bushnell et al., "Essentials of Electronic Testing", Kluwer Academic Publishers, ISBN 0-7923-7991-8, 2000.
- [3] P. Girard, "Survey of Low-Power Testing of VLSI Circuits", IEEE Design & Test of Computers, Vol. 19, N° 3, pp. 82-92, May-June 2002.
- [4] J. Saxena, et al., "A Case Study of IR-Drop in Structured At-Speed Testing", IEEE International Test Conference, pp. 1098-1104, 2003.
- [5] P. Wohl et al., "Efficient Compression and Application of Deterministic Patterns in a Logic BIST Architecture", Design Automation Conf., pp. 566-569, 2003.
- [6] K.M. Butler et al., "Minimizing Power Consumption in Scan Testing: Pattern Generation and DFT Techniques", IEEE Int'l Test Conf., pp. 355-364, 2004.