

Réjection du bruit d'alimentation du pont de Wheatstone : application aux MEMS piézorésistifs

El Mehdi Boujamaa, Yannick Soulie, Frederick Mailly, Laurent Latorre, Pascal Nouet

Université Montpellier II / CNRS

Lab. d'Informatique, de Robotique et de Microélectronique de Montpellier (LIRMM)

161, rue Ada, 34392 Montpellier Cedex 5, France

contact : latorre@lirmm.fr

Résumé

Ce papier concerne la conception de microsystèmes utilisant l'effet piézorésistif comme principe de transduction. Il est montré que lorsque la topologie du capteur ne permet pas un bon appariement des jauges de contraintes, la résolution du système est limitée par sa capacité à rejeter le bruit d'alimentation au niveau du circuit de conditionnement des jauges (typiquement, un pont de Wheatstone). Dans ce cas, une méthode permettant l'amélioration de la réjection du bruit d'alimentation (PSRR) est proposée. Le circuit présenté met en œuvre un principe de contre-réaction pour contrôler des transistors utilisés en résistance variable dans le pont de Wheatstone. Ceci permet une compensation de l'offset généré par le désappariement des résistances et d'améliorer la résolution du système.

1. Introduction

Durant ces vingt dernières années le monde des capteurs a considérablement évolué avec l'émergence des technologies MEMS. En effet il est désormais possible d'envisager l'intégration monolithique de systèmes hétérogènes à l'aide de technologies standard CMOS, comprenant la partie sensible du capteur ainsi que son électronique de traitement. L'intégration de l'électronique de traitement au plus près de l'élément sensible permet ainsi une diminution notable des coûts de réalisation tout en améliorant les performances des capteurs, notamment par un traitement approprié du bruit.

Par définition, un capteur piezoresistif converti une déformation mécanique (ou une contrainte) en une variation de résistance. La transduction est réalisée au sein de jauges pouvant être fabriquées à l'aide de matériaux disposant de propriétés piezoresistives. D'un point de vue « système », ces jauges sont des résistances dont on cherche à mesurer la valeur, à l'aide d'un circuit de conditionnement (polarisation) et de mesure. Dans notre étude nous nous intéressons plus particulièrement au pont de Wheatstone, qui est la structure la plus communément utilisée pour ce type de capteur [1].

Dans le cas d'un pont de Wheatstone parfaitement équilibré en l'absence de signal (4 jauges de même résistance), la réjection du bruit d'alimentation au niveau de la sortie différentielle du pont est infinie. Si l'on suppose que la partie électronique a été conçue avec soin de façon à ne pas introduire de bruit supplémentaire, la résolution du système est alors limitée par le bruit thermique des résistances formant le pont de Wheatstone. En pratique, ce niveau de bruit « intrinsèque » constitue l'objectif à atteindre. Il s'avère cependant que de nombreuses imperfections du dispositif réel entraînent des pertes de performances. Par la suite, nous allons montrer que l'équilibre du pont de Wheatstone est difficile à atteindre compte-tenu des dispersions du procédé de fabrication et de la topologie particulière du capteur. Le déséquilibre produit d'une part une tension d'offset qu'il est possible d'isoler par des techniques simples de filtrage. D'autre part, il entraîne une dégradation du taux de réjection du bruit d'alimentation. Ce bruit d'alimentation peut alors limiter la résolution du capteur, particulièrement dans les environnements SoC où les commutations de l'électronique digitale polluent de façon significative les tensions d'alimentation.

Afin d'illustrer notre étude, nous nous appuyons sur un capteur de champ magnétique développé au laboratoire pour une application boussole [2].

2. Présentation du capteur

La mesure du champ magnétique est réalisée au moyen d'une poutre en forme de « U » libérée du substrat et représentée sur la figure 1.

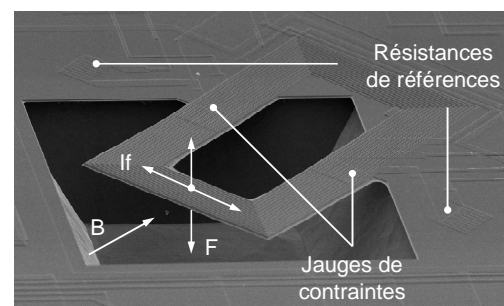


Figure 1. Le capteur de champ magnétique piézorésistif

Un courant I_f circule dans la structure au moyen d'une bobine coplanaire réalisée à l'aide des métaux disponibles en technologie CMOS. Le courant interagit avec le champ magnétique B et crée une force de Laplace F qui entraîne la structure en flexion.

Les contraintes mécaniques ainsi produites par la déformation de la structure sont subies par deux jauges piezorésistives (résistances en polysilicium) placées près de l'encastrement de la partie suspendue. Ces deux jauges de contraintes (R1 et R4) sont montées en pont de Wheatstone, lequel est complété par deux résistances de référence (R2 et R3) déposées sur le substrat, comme illustré figure 2.

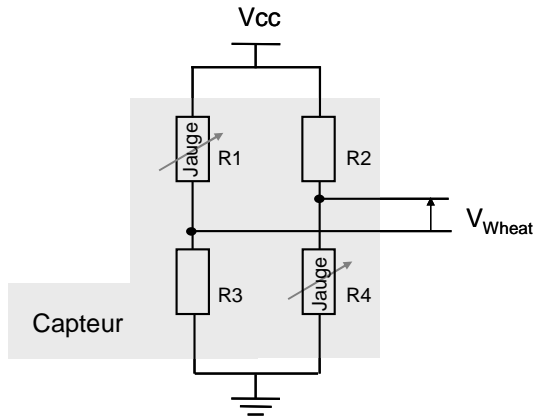


Figure 2. Montage des jauges en pont de Wheatstone

On rappelle que la tension de sortie V_{Wheat} du pont de Wheatstone est donnée par :

$$V_{Wheat} = V_{cc} \cdot \frac{R_1 \cdot R_4 - R_2 \cdot R_3}{(R_1 + R_3)(R_2 + R_4)} \quad (1)$$

Ainsi lorsque le pont est équilibré ($R_2 \cdot R_3 = R_1 \cdot R_4$) la tension de sortie est nulle quelle que soit la tension d'alimentation V_{cc} . Le bruit d'alimentation est alors parfaitement rejeté.

D'une façon plus générale, la capacité d'un montage à rejeter le bruit d'alimentation est caractérisée par une grandeur appelée PSRR (Power Supply Rejection Ratio) et définie comme le rapport du gain de la structure sur le gain entre la sortie et la tension d'alimentation.

$$PSRR = 20 \log \left(\frac{\partial V_{out} / \partial V_{in}}{\partial V_{out} / \partial V_{dd}} \right) \quad (2)$$

Dans notre cas, le capteur se comporte comme un système mécanique du second ordre faiblement amorti. Il est donc possible d'utiliser le phénomène de résonance afin d'augmenter la sensibilité du capteur. Pour cela, on utilise un courant I_f alternatif à la fréquence de résonance de la poutre cantilever (22kHz). Ainsi, la tension obtenue en sortie du pont de Wheatstone prend la forme d'une porteuse à la fréquence de résonance, modulée en amplitude par le champ magnétique à mesurer.

Dans la boussole, le pont de Wheatstone est suivi d'une chaîne d'amplification montrée figure 3. Cette chaîne est constituée d'un préamplificateur faible bruit (LNA) suivi de filtres passe haut et d'étages d'amplification nécessaires à l'obtention d'un gain élevé d'environ 25000.

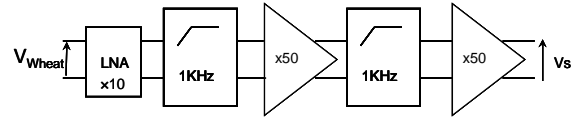


Figure 3. Chaîne d'amplification en chaîne directe

L'électronique de traitement présentée figure 3 nous permet d'atteindre des performances optimales en terme de niveau de bruit intrinsèque. En simulation, le bruit, ramené en entrée de la chaîne d'amplification, est égal à 7.14 nV/ $\sqrt{\text{Hz}}$ (à 22kHz). Ce niveau de bruit est équivalent au niveau de bruit intrinsèque du capteur, si l'on considère le bruit thermique des piezorésistances ($1\text{k}\Omega$ à 300°K). Le déséquilibre observé sur le pont de Wheatstone transmet le bruit d'alimentation avec une atténuation de -49,5 dB. Ainsi, en faisant l'hypothèse réaliste qu'il existe un bruit blanc large bande de $10\mu\text{V}/\sqrt{\text{Hz}}$ au niveau de l'alimentation du pont, le niveau de bruit résultant en sortie sera de quelques dizaines de nV/ $\sqrt{\text{Hz}}$. Par conséquent le facteur limitant ici est bien le PSRR du pont de Wheatstone.

3. Principe d'amélioration du PSRR

En pratique, le pont de Wheatstone est très difficile à équilibrer. En premier lieu, la forme du capteur nous contraint à placer les résistances de références sur le substrat de silicium alors que les résistances de détections sont placées dans les bras du cantilever. Cet arrangement favorise le désappariement des résistances compte tenu des dispersions du procédé CMOS. A cela, s'ajoutent les phénomènes de relaxation des contraintes résiduelles liées à la gravure du substrat et les effets thermiques. En effet, la simple polarisation du pont de Wheatstone, entraîne une dissipation de puissance par effet Joule identique pour les quatre résistances mais qui produit une élévation de température supérieure au niveau des jauges qui sont isolées thermiquement du substrat. Ce phénomène est aggravé par la puissance dissipée dans la bobine d'excitation [3].

En conclusion, le concepteur doit faire face à un équilibre du pont de Wheatstone difficile à maîtriser lors de la fabrication. Aussi semble-t-il nécessaire de mettre en œuvre une stratégie de conception robuste visant à assurer un meilleur équilibrage du pont, en vue d'une meilleure réjection du bruit d'alimentation. Les problèmes d'offsets peuvent être éliminés par des techniques éprouvées de modulation/filtrage.

Le concept étudié ici pour améliorer le PSRR est le suivant : on ajoute une résistance contrôlée en tension en série dans chacune des deux branches du pont afin de rétablir l'équilibre. Les valeurs des résistances sont directement contrôlées par la tension de sortie amplifiée du pont de Wheatstone.

La figure 4 représente sous la forme d'un schéma bloc le modèle du pont de Wheatstone avec sa contre-réaction. Dans ce schéma, un pont de Wheatstone classique est représenté avec $\beta=0$ et $A=1$.

le modèle sous forme de schéma bloc avec A , le gain de l'amplificateur, β le gain de conversion en Ω/V , R_{ds} la valeur en Ohm de la résistance contrôlée en tension et ΔR le déséquilibre initial du pont de Wheatstone. La tension de sortie s'écrit :

$$V_s = \Delta R \frac{\frac{A}{2R} V_{cc}}{1 + \frac{A\beta}{2R} V_{cc}} \quad (3)$$

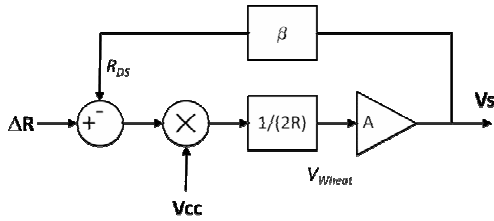


Figure 4. Schéma d'amélioration du PSRR

On vérifie par le calcul des dérivées partielles, le gain du circuit relativement aux entrées ΔR et V_{cc} :

$$\frac{\partial V_s}{\partial \Delta R} = \frac{\frac{A}{2R} V_{cc}}{1 + \frac{A\beta}{2R} V_{cc}} \approx \frac{1}{\beta} \quad (4)$$

$$\frac{\partial V_s}{\partial V_{cc}} = \frac{A \cdot \Delta R}{2R \cdot \left(1 + \frac{A\beta}{2R} V_{cc}\right)^2} \approx \frac{2R \cdot \Delta R}{A\beta^2 \cdot V_{cc}^2} \quad (5)$$

En considérant $A\beta/2R \gg 1$, on observe que le signal de sortie est en rapport $1/\beta$ avec le signal utile, et en rapport $1/A\beta^2$ avec le bruit d'alimentation. Dans les simulations qui suivent, le critère d'évaluation de la capacité du montage à rejeter le bruit d'alimentation est défini par :

$$PSRR^{-1} = 20 \log \left(\frac{\partial V_s / \partial V_{cc}}{\partial V_s / \partial \Delta R} \right) = 20 \log \left(\frac{2R \cdot \Delta R}{A\beta V_{cc}^2} \right) \quad (6)$$

Pour un pont parfaitement équilibré, ΔR est nul, et $PSRR^{-1}$ tends vers $-\infty$. La figure 5 montre comment évolue $PSRR^{-1}$ en fonction du déséquilibre du pont ΔR , pour différentes valeurs de gain A , en prenant $\beta = 1000 \Omega/V$.

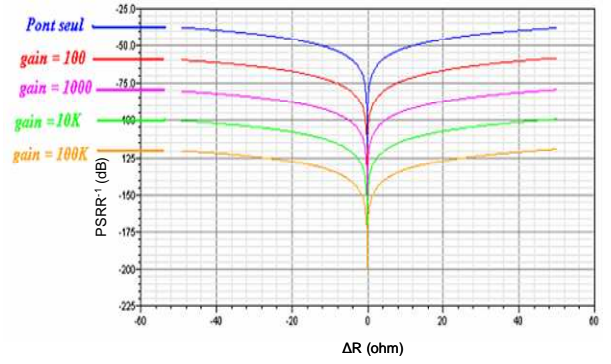


Figure 5. Evolution de $PSRR^{-1}$ avec et sans contre réaction, pour différents gains A .

Sur la figure 5 nous pouvons visualiser une amélioration de l'estimateur de 20dB par décade de gain vérifiant ainsi l'étude théorique menée auparavant. Cette simulation a été réalisée à l'aide de composants idéaux en particulier pour les résistances de contre réaction qui ont été réalisées à l'aide de descriptions fonctionnelles en verilogA.

4. Mise en oeuvre

Une première mise en oeuvre a été envisagée à l'aide de transistors PMOS, utilisés en régime triode, et jouant le rôle de résistances contrôlées en tension (figure 6). Le dimensionnement des MOS ne pose pas de problème particulier et ne sera pas détaillé ici.

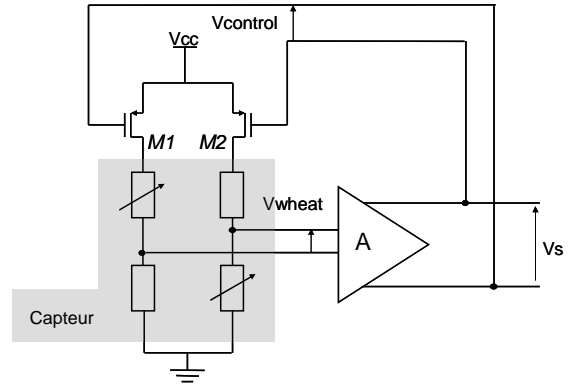


Figure 6. Implémentation avec des PMOS

La résistance du MOS est commandée par la tension V_{GS} . Or la source des PMOS étant directement relié à l'alimentation, le bruit sur l'alimentation est présent également sur V_{GS} , et donc aussi sur R_{DS} . Une autre façon d'analyser ce montage est de remarquer que le transistor forme un amplificateur en grille commune vu de l'entrée V_{cc} .

Ainsi ce montage, même s'il équilibre le pont de Wheatstone, ne rejette pas correctement le bruit sur l'alimentation. En revanche, il élimine le bruit sur la masse. En effet, la résistance du MOS n'est pas influencée par le bruit sur son drain. Dans la figure 7 une excitation (1kHz) des jauges est simulée avec une perturbation sinusoïdale (9kHz) sur la masse. Les résultats montrent clairement que la perturbation n'apparaît plus dans le signal de sortie (i.e. dans le signal de commande des transistors MOS).

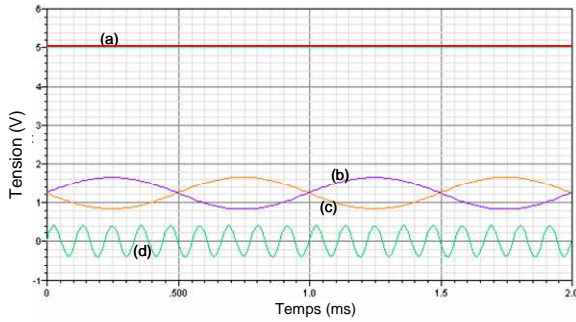


Figure 7. Simulation transitoire : V_{cc} (a), tensions sur les grilles des transistors (b) et (c), Gnd (d).

Par analogie, le choix de NMOS placés entre les résistances du pont et Gnd permettrait d'éliminer le bruit sur V_{cc} . Le schéma proposé permet donc de résoudre la moitié du problème seulement.

Une modification du montage est alors proposée : l'ajout de capacités de découplage entre la grille et la source des 2 transistors. Ces capacités ont un double effet : vu de l'amplificateur, elles réalisent un filtrage passe-bas dans la boucle de contre réaction. Cela compense uniquement les offset statiques du pont. Vu de V_{cc} , elles permettent d'inhiber le fonctionnement des transistors en haute fréquence et ainsi d'éviter la modulation du R_{DS} par le bruit d'alimentation. Le schéma de la solution alternative retenue est illustré sur la figure 8.

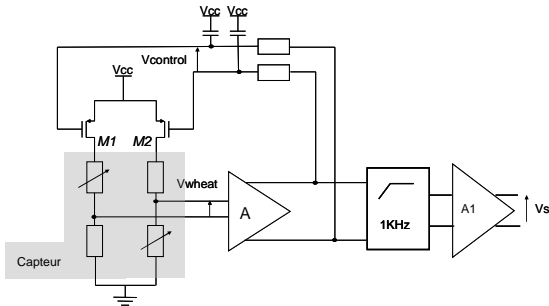


Figure 8. Montage permettant la rejection du bruit sur V_{cc} et Gnd

La figure 9 montre la rejection du bruit d'alimentation en fonction de la fréquence. Sur la bande de fréquence 1KHz - 100KHz, le bruit d'alimentation est dix fois mieux rejeté sur le montage compensé que sur le pont seul.

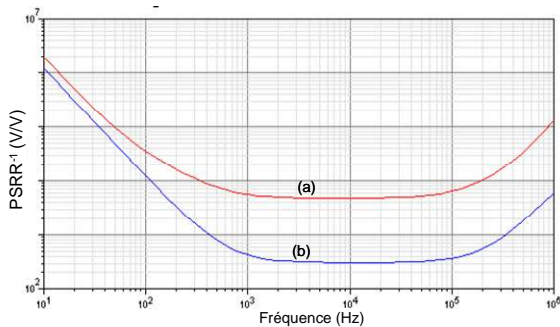


Figure 9. Evolution de $PSRR^{-1}$ pour une structure compensée (a) et non compensée (b).

Le circuit proposé améliore sensiblement le PSRR du pont de Wheatstone. Toutefois, reste à considérer le bruit ajouté par les transistors de contre-réaction. En effet l'utilisation de ces transistors augmente de façon significative le bruit total de l'électronique de traitement.

Une réponse possible à ce problème est l'ajout d'une amplification faible bruit directement en sortie du pont de Wheatstone. Une étude préliminaire a montré que l'introduction d'un LNA permet de ramener le bruit à un niveau comparable au bruit intrinsèque de l'électronique de traitement. Le tableau ci-dessous récapitule les résultats obtenus en simulation sous Spectre® avec la technologie CMOS 0,35 μ m du fondeur Austria Microsystems.

La solution avec contre-réaction et LNA offre une amélioration significative du PSRR tout en conservant des gains et niveau de bruit ajouté proches de ceux de la chaîne de traitement initiale.

	Boucle ouverte	Contre Réaction sans LNA	Contre Réaction avec LNA
Gain	87dB	86.9dB	85.9dB
PSRR	-49dB	-73dB	-84dB
Bruit de l'électronique	160 μ V/ \sqrt{Hz}	390 μ V/ \sqrt{Hz}	150 μ V/ \sqrt{Hz}

Table 1. Comparaison des performances pour les différentes architectures étudiées.

5. Conclusion

Dans cet article nous avons étudié une solution d'amélioration du taux de rejection du bruit d'alimentation (PSRR) au niveau du pont de Wheatstone, applicable au cas des MEMS piézorésistifs. En effet le PSRR peut être le facteur limitant la résolution d'un capteur dans les environnements où l'alimentation est bruitée (circuits mixtes). Les résultats obtenus par simulation montrent une amélioration du PSRR de 35dB tout en maintenant un niveau de bruit ajouté acceptable.

Références

- [1] Luc Hébrard et al. "A Chopper Stabilized Biasing Circuit Suitable for Cascaded Wheatstone-Bridge-Like Sensors", IEEE Transaction on Circuits and Systems, VOL. 52, NO. 8, August 2005.
- [2] N. Dumas, L. Latorre, P. Nouet, "Development of a low-cost piezoresistive compass on CMOS", Sensors and Actuators A: Physical, Vol. 130-131, 14 August 2006, Pages 302-311.
- [3] N. Dumas, L. Latorre, P. Nouet, "Analysis of offset and noise in CMOS piezoresistive sensors using a magnetometer as a case study", Sensors and Actuators A: Physical, Volume 132, Issue 1, 8 November 2006, Pages 14-20, ISSN 0924-4247.