

Étude des violations de temps d'établissement et de maintien dues aux variations du processus de fabrication dans un opérateur arithmétique

B. Rebaud, M. Belleville, C. Bernard
CEA-LETI MINATEC,
17 Rue des Martyrs
38054 GRENOBLE Cedex 9

Z. Wu, M. Robert, P. Maurine,
N. Azemard
LIRMM, CNRS, UM2, 161 Rue Ada
34392, MONTPELLIER

Emails : prénom.nom@cea.fr, prénom.nom@lirmm.fr

Résumé

La réduction des dimensions des circuits intégrés a toujours été faite au bénéfice de meilleures performances. Mais aujourd'hui, cette réduction s'accompagne d'un impact croissant des variations du processus de fabrication. Au niveau temporel, on peut ramener ces effets à une probabilité plus élevée de violations des temps de maintien et d'établissement au niveau des bascules. Actuellement, comme principale réponse face à ce problème, les marges de sécurité sont augmentées. Cet article propose une méthodologie d'étude basée sur le concept d'analyse statistique temporelle (SSTA) et de calculs de probabilité de violation. Les résultats obtenus, provenant de son application sur un opérateur arithmétique en technologie 65 nm, permettent d'avoir des informations beaucoup plus précises que celles données par les outils existants, permettant dès lors de meilleures optimisations et une baisse du pessimisme introduit par l'utilisation de marges de conception.

1. Introduction

Avec la diminution constante des dimensions du transistor intégré, nous sommes rentrés dans l'ère nanométrique. Malgré de meilleures performances apparentes en vitesse et en consommation, et un rendement du nombre de puces par plaque augmenté, les bénéfices escomptés sont limités par plusieurs éléments [1]: de nouveaux effets physiques, amplifiés par la tendance basse consommation des systèmes embarqués; une difficulté croissante dans la mise en œuvre de procédés de fabrication; et une augmentation de la sensibilité vis à vis des variations.

Cet article se préoccupe essentiellement des variations des processus de fabrication dans les circuits numériques.

Au niveau temporel, leurs effets peuvent se ramener à l'étude des violations des temps de maintien et d'établissement sur les bascules, violations provenant des variations des divers temps de propagation sur un chemin de portes logiques. Ces types de violations ont un impact direct sur la fonctionnalité et les performances d'un circuit. D'autres études sur ces variations et leur impact [2][3] ont déjà été faits, mais à des niveaux différents de celui décrit ici (niveau physique, architecture globale). L'étude des probabilités de violation est donc innovante et judicieuse puisqu'elle souligne les problèmes de varia-

tions de processus de fabrication tout en mettant en évidence les défauts et limitations des outils CAO actuels.

Il est présenté ici une méthodologie d'étude des violations des temps de maintien et d'établissement dans les bascules dues aux variations de processus de fabrication. Elle est basée sur des analyses temporelles statistiques (SSTA) [4][5] couplées à des simulations Monte Carlo.

La partie qui suit explique plus en détails les problèmes de variations, la définition des temps de maintien et d'établissement, et les bases du concept du SSTA. La partie III explicite la méthodologie appliquée. La partie IV donne les principaux résultats de cette étude obtenus en application à un opérateur arithmétique. Enfin, une conclusion résumant brièvement l'ensemble de l'article est donnée.

2. Préliminaires

Un certain nombre de notions sont expliquées ici pour la bonne compréhension de la suite de l'article.

2.1 Le problème de la variabilité

La variabilité recouvre un ensemble de notions très hétérogènes [1][6]. Elles peuvent être classifiées selon plusieurs points de vue et champs d'application. Pour résumer, les taxinomies les plus courantes sont :

- Spatial ou Temporel
- Systématique ou Aléatoire
- Global ou Local
- Physique ou Environnemental

Les variations des processus de fabrication qui nous intéressent touchent tous les aspects de variabilité cités ci-dessus. Les fondeurs fournissent généralement des données statistiques sur les paramètres de leurs technologies intégrant toutes ces notions, mais peu utilisés en conception numérique. Avec les nouvelles technologies, et des variations de plus en plus grandes, les concepteurs ont tout intérêt à intégrer ces données le plus tôt possible dans le flot de conception pour pouvoir palier tout risque de disfonctionnement.

2.2 Définition des temps d'établissement et de maintien

Lors d'une analyse statique temporelle, les violations de temps d'établissement et de maintien sont vérifiées

pour voir si le circuit satisfait aux contraintes données. Le temps d'établissement correspond au temps de stabilité minimum de la donnée avant le front d'horloge pour qu'elle soit bien prise en compte. Le temps de maintien, quant à lui, est le temps de stabilité minimum après le front d'horloge (fig. 1).

La variabilité croissant, la méthode des « corners » (pire ou meilleurs cas en processus de fabrication, température et alimentation), permettant de vérifier les temps d'établissement sur les chemins longs et les temps de maintien sur les chemins courts, n'est plus assez efficace pour fournir des résultats pertinents. En effet, afin de continuer à garantir un rendement équivalent aux anciennes technologies, les marges prises sont de plus en plus pessimistes et ne permettent donc pas d'optimiser les caractéristiques d'un circuit. Une analyse temporelle statistique révèle alors tout son sens.

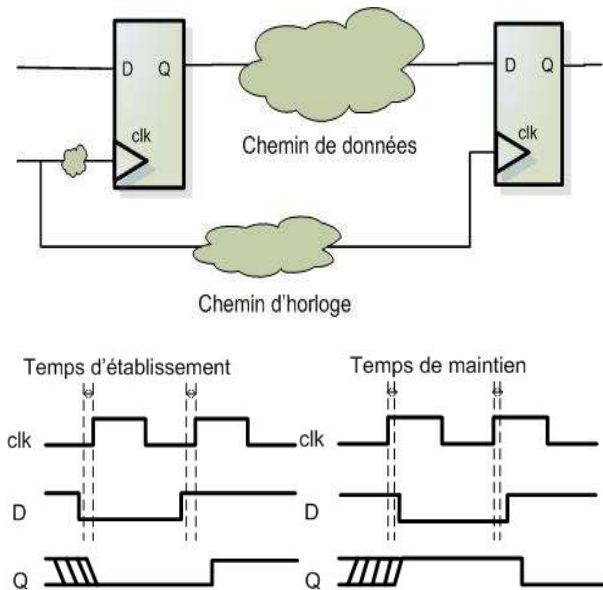


Figure 1. Illustration de temps d'établissement et temps de maintien respectés sur un chemin logique

2.3 Analyse temporelle statique et statistique (SSTA)

Ce concept s'appuie sur la propagation des fonctions de distribution des temps de propagation à travers un chemin logique plutôt que des cas extrêmes [4][5]. Le type de résultat obtenu est le même que celui découlant d'une simulation Monte Carlo (MC) à tirages aléatoires sur les paramètres du processus de fabrication. Son principal intérêt est sa rapidité d'exécution, au détriment d'une précision moins élevée. Précisons que des étapes préliminaires supplémentaires comme la caractérisation des cellules de bibliothèque selon des critères statistiques sont nécessaires. En bref, cette méthodologie s'avèrera de plus en plus indispensable dans le futur pour obtenir des données statistiques sur tout un circuit, chose impossible à réaliser en MC compte tenu du nombre de plus en plus élevé de chemins à analyser.

3. Méthodologie proposée

Cette partie explique la méthodologie utilisée ici pour étudier statistiquement des chemins de portes logiques.

3.1 Généralités

La méthode décrite dans cet article s'insère dans le flot de conception connu d'un circuit numérique. Il s'agit d'une analyse statistique supplémentaire au flot usuel dont les outils pourraient bénéficier en vu d'optimisations. Cette méthodologie nécessite de sélectionner un certain nombre de chemins caractéristiques du circuit ou bloc étudié et d'en sortir des informations de distribution des temps de propagation et de transition. Pour cela, l'application du SSTA sur le chemin de portes logiques sélectionné et sur son chemin d'horloge associé est effectuée. Puis, le couplage des informations sortantes avec les caractéristiques intrinsèques de la bascule de fin de chaîne permet d'obtenir facilement la probabilité de violation voulue (maintien pour chemins courts et établissement pour chemins longs). Un schéma récapitulatif (fig. 2) est donné ci-dessous.

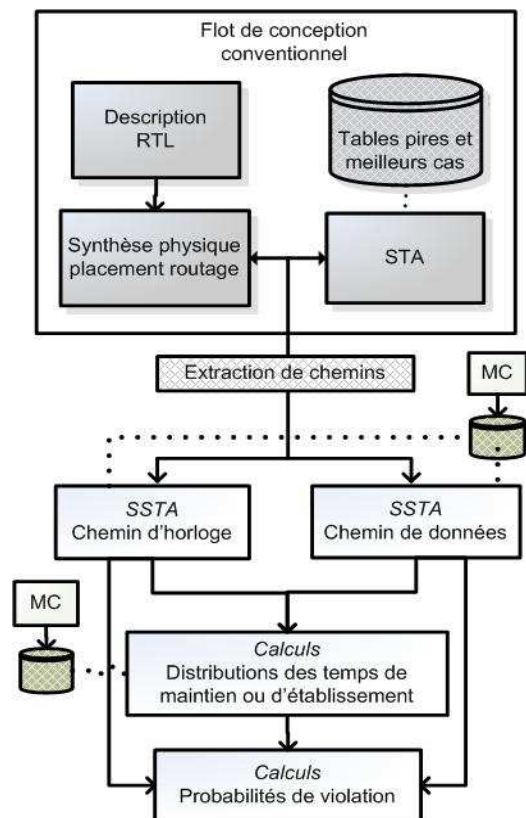


Figure 2. Description du flot utilisé pour analyser statistiquement des chemins logiques

Pour le bon fonctionnement de cette méthodologie, il faut également procéder à un certain nombre de caractérisations statistiques, étapes préliminaires dont les résultats seront ensuite utilisés dans le flot sous forme de tables à deux entrées. Le bloc de calcul des probabilités de violation utilise les équations :

$$P_{V_E} = \Pr(T - d_{\text{données}} + d_{\text{horl}} < TE_{\text{bascule}})$$

$$P_{V_M} = \Pr(d_{\text{données}} - d_{\text{horl}} < TM_{\text{bascule}})$$

avec P_V la probabilité de violation, T la période, d les distributions des délais du chemin de données ou d'horloge; TE et TM , respectivement les distributions des temps d'établissement et de maintien dans le cas étudié. En utilisant l'hypothèse de distributions gaussiennes, les calculs de probabilité se simplifient énormément.

Les deux sous-parties suivantes détaillent les étapes de calcul et de caractérisation.

3.2 Description du SSTA implémenté

La mise en place de notre technique SSTA s'appuie sur les travaux de [5], basés sur l'étude de chemins de façon indépendante. Elle se décompose en deux étapes : la caractérisation des cellules logiques selon la capacité de sortie et la transition d'entrée; et le calcul de distributions temporelles. La caractérisation permet d'avoir la moyenne et la déviation standard des temps de propagation et de transition avec les variations de processus de fabrication. Pour cela, des simulations MC sont appliquées. Les données obtenues sont stockées dans des tables. Il est à noter que la précision des résultats finaux obtenus dépend fortement de la manière dont s'effectue cette étape. Le calcul des temps, quant à lui, se fait grâce à la discrétisation des distributions gaussiennes en entrée de porte en n points, pondérés par leur probabilité. Nous avons pris $n = 6$ qui constitue un bon compromis temps de simulation/précision. Chaque point discrétisé renvoie à la lecture de tables pour connaître moyenne et déviation standard associé. Ainsi, le délai et le temps de transition de sortie d'une porte sont donnés par les équations suivantes :

$$\mu_d = \sum_{i=1}^n p_i m_d(t_i, C_L)$$

$$\sigma_d^2 = \sum_{i=1}^n p_i (s_d^2(t_i, C_L) + [m_d(t_i, C_L) - \mu_d]^2)$$

$$\mu_{T_{out}} = \sum_{i=1}^n p_i m_{T_{out}}(t_i, C_L)$$

$$\sigma_{T_{out}}^2 = \sum_{i=1}^n p_i (s_{T_{out}}^2(t_i, C_L) + [m_{T_{out}}(t_i, C_L) - \mu_{T_{out}}]^2)$$

avec μ la moyenne et σ la déviation standard. m et s sont lues dans les tables grâce à la capacité de sortie C_L et la transition d'entrée t_i , le tout pondéré par les probabilités p_i (i valant de 1 à n , n nombre d'échantillons). Les indices d et T_{out} représentent les délais de propagation et de transition de sortie de la porte étudiée.

Pour connaître ensuite le délai du chemin entier, nous appliquons les équations suivantes :

$$\mu_{d_{chemin}} = \sum_{i=1}^M \mu_i$$

$$\sigma_{d_{chemin}}^2 = \sum_{k=1}^M \sum_{l=1}^M \rho_{kl} \sigma_k \sigma_l$$

avec M le nombre total de cellules logiques du chemin, (μ_i, σ_i) les caractéristiques des distributions de probabilité du délai de chaque porte, et ρ_{kl} le coefficient de corrélation linéaire du délai entre deux portes. ρ_{kl} est obtenu en propageant de nombreux échantillons de temps de transition à l'entrée du chemin et en récupérant les délais associés de chaque porte. Il suffit ensuite d'appliquer la formule connue de corrélation linéaire. Pour le temps de transition de sortie, il s'agit simplement de celui de la dernière porte.

L'erreur relative a été regardée pour des chemins allant de 1 à 29 portes logiques : on constate une erreur pouvant aller jusqu'à 7% pour la moyenne et 15% pour la déviation standard en technologie 65 nm.

3.3 Calculs des temps de maintien et d'établissement

Nous avons procédé à la caractérisation MC des temps intrinsèques de maintien et d'établissement des bascules en observant le temps de propagation Clock-to-Q tout en faisant varier les temps de propagation des données avant et après le front d'horloge. Les temps voulus sont ensuite relevés à +10% du temps Clock-to-Q minimum. Cela nous a permis de remplir des tables selon les temps de transition de la donnée et de l'horloge. Ensuite, le calcul des temps pour la bascule dans un chemin précis se fait identiquement à la méthodologie SSTA, en discrétisant selon n points les distributions d'entrées et en les pondérant de leur probabilités respectives. A l'issue de cette étape, toutes les informations nécessaires sont réunies pour le calcul final de probabilité de violation : on applique les équations données en §3.1 pour trouver P_{ve} et P_{vm} . La période T dans P_{ve} est indispensable pour fixer la fréquence de fonctionnement du bloc/circuit. L'hypothèse de simplification permet de se ramener à la simple étude d'une distribution normale centrée réduite.

4. Résultats

L'application de cette méthodologie a été faite sur un multiplieur-accumulateur à deux entrées de 16 bits chacune, opérateur que l'on retrouve fréquemment dans les systèmes embarqués. Il possède 4 étages pipelinés permettant d'accélérer les calculs. Les instructions sont elles aussi pipelinées pour parvenir au bon moment à l'étage voulu. Plusieurs synthèses en technologie 65 nm basse consommation utilisant le concept de pire et meilleur cas (1.1V/125C; 1.3V/25C) ont été effectuées, avec des contraintes en période différentes. Nous nous sommes attachés à regarder les 30 chemins les plus longs à sortie différente et les 30 chemins les plus courts de chaque synthèse. Les premiers sont principalement situés dans l'étage principal comportant le multiplieur, tandis que les chemins les plus courts correspondent à l'acheminement du contrôle.

Les résultats ci-après mettent en évidence les limites des méthodes de conception actuelles et fournissent des chiffres concernant la probabilité de violation de temps d'établissement sur les chemins les plus longs.

4.1 Etude des cellules combinatoires d'un chemin

Nous avons appliqué le SSTA pire et meilleur cas de conception sur le jeu de chemins sélectionné. Pour les chemins les plus longs, pire cas, contrainte 2 ns (fig. 3), on remarque une moyenne de déviation ($3 \cdot \sigma / \mu$) d'environ 23%. Cette déviation est dépendante d'un nombre important de paramètres du chemin : complexité des cellules, nombre de cellules, sortance des portes contribuent à en baisser les effets. On peut constater que des modifications de 1 à 3 cellules au sein d'un chemin long ne contribuent pas à faire bouger significativement sa déviation ni son temps à $\mu + 3 \cdot \sigma$: cela ramène à dire que la corrélation est très proche, la majorité des portes étant commune. Cet élément pourrait être significatif dans le choix de chemins représentatifs à étudier. Concernant les chemins les plus courts, au meilleur cas

(1.3V/25C), une moyenne de déviation de 22% a été trouvée pour des contraintes en temps fortes et faibles. Ce chiffre, proche de celui donné par l'analyse des longs chemins, peut être expliqué par le fait que le faible nombre de cellules (1 ou 2) est compensé par les meilleures conditions environnementales de simulation.

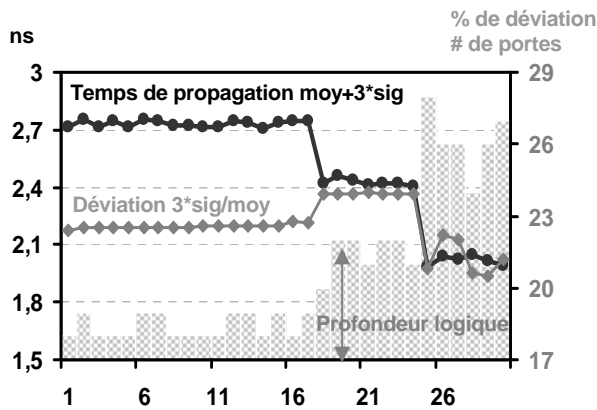


Figure 3. Déviation, temps de propagation et nombre de cellules pour les 30 premiers chemins critiques [contrainte 2 ns, 1.1V, 125C] numérotés de 1 à 30

De plus, une marge de conception de plus de 14% a été trouvée entre les pires cas donnés par le fondeur et $\mu+3\sigma$ calculé par le SSTA. Cette marge est relativement stable avec la criticité des chemins étudiés. Sachant que les bornes à $\mu\pm 3\sigma$ représentent 99.7% des cas, de meilleures optimisations lors des synthèses pourraient être effectuées.

4.2 Temps d'établissement et temps de maintien

Grâce à la caractérisation des temps de maintien et d'établissement intrinsèques aux bascules, il nous a été possible de mettre en exergue un problème concernant l'utilisation des pires et meilleurs cas. Grâce aux éléments de la table 1, représentant la distribution des temps de maintien pour deux bascules de types différents, nous pouvons affirmer qu'il est impossible de déterminer un pire cas de conditions environnementales (T, Vdd) fixe valable pour l'ensemble des bascules. Dans ces conditions, la méthodologie actuelle des corners est obsolète et doit être remplacée ou adaptée. Même constat pour les temps d'établissement.

Temp (C)	Alim (V)	Temps de maintien (ns)			
		Bascule 1		Bascule 2	
		μ	σ	μ	σ
25	1,2	0,011	0,009	0,029	0,017
	1	-0,011	0,020	0,320	0,024
125	1,2	0,003	0,009	0,015	0,016
	1	-0,024	0,019	0,008	0,020

Table 1. Moyenne et déviation standard du temps de maintien de deux bascules différentes, selon les conditions environnementales

4.3 Probabilités de violations

La dernière étape de la méthodologie permet d'avoir la probabilité de violation des temps de maintien et d'établissement. Pour ce dernier, la figure 4 illustre

l'analyse du premier long chemin donné comme le plus critique par l'analyse temporelle de l'outil CAO utilisé.

Ce dernier donne pour cette synthèse une période minimum de 3,44 ns, calibré sur ce même chemin. Or, avec une probabilité de violation plus faible que 0,5%, nous pouvons ramener cette période à 2,9 ns, soit une amélioration de 15 %. En regardant les autres chemins similaires et normalement moins critiques (n°1 au 17), l'amélioration globale en fréquence peut être estimée à 11%.

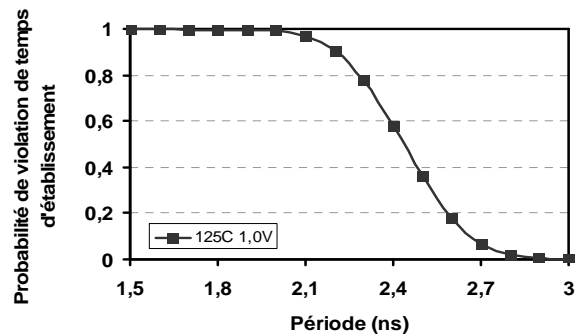


Figure 4. Probabilité de violation du temps d'établissement du chemin 1 [contrainte forte 2 ns, 1.1V, 125C] avec la période

5. Conclusion

Cet article présente une méthodologie d'étude des violations des temps de maintien et d'établissement, avec une application concrète sur un opérateur arithmétique. Des premiers résultats sur les temps d'établissement ont montré une optimisation en fréquence possible de 11%, tout en appuyant le fait que les outils actuels doivent s'adapter pour faire face aux défis engendrés par les nouvelles technologies.

Des futurs travaux viendront compléter cette étude, notamment sur les arbres d'horloge et les variations de temps de maintien, qui eux, ne baissent pas les performances mais induisent des fautes quelque soit la fréquence.

Références

- [1] S. Borkar *et al.* "Designing Reliable Systems from Unreliable Components : The Challenges of Transistor Variability and Degradation", IEEE, Micro, vol. 25, no. 6, pp. 10-16, Nov/Dec 2005
- [2] A. Asenov *et al.* "Simulation of intrinsic parameter fluctuations in decanometer and nanometer-scale MOSFETs", Electron Devices, IEEE Transactions, vol. 50, Issue 9, pp. 1837-1852, Sept 2003.
- [3] S. Borkar *et al.* "Parameter Variation and Impact on Circuits and Microarchitecture", Proceedings of the 40th Conference on Design Automation, Juin 2003.
- [4] Chirayu S. Amin *et al.* "Statistical static timing analysis: how simple can we get ?", Proceedings of the 42th Conference on Design Automation, Juin 2005.
- [5] V. Migairou *et al.* "A simple statistical timing analysis flow and its application to timing margin evaluation", PATMOS'07 Conference, Sept 2007.
- [6] K. Bernstein *et al.* "High performance CMOS variability in the 65 nm regime and beyond", IBM Journal of Research and Development, vol. 50, pp. 433-449, Juillet 2006