

Méthode unifiée de diagnostic ciblant l'ensemble des modèles de fautes

Alexandre Rousset, Patrick Girard, Christian Landrault, Serge Pravossoudovitch, Arnaud Virazel

► **To cite this version:**

Alexandre Rousset, Patrick Girard, Christian Landrault, Serge Pravossoudovitch, Arnaud Virazel. Méthode unifiée de diagnostic ciblant l'ensemble des modèles de fautes. JNRDM: Journées Nationales du Réseau Doctoral de Microélectronique, May 2006, Rennes, France. 9^{èmes} Journées Nationales du Réseau Doctoral de Microélectronique, 2006. <lirmm-00136841>

HAL Id: lirmm-00136841

<https://hal-lirmm.ccsd.cnrs.fr/lirmm-00136841>

Submitted on 15 Mar 2007

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Méthode unifiée de diagnostic ciblant l'ensemble des modèles de fautes

A. Rousset, P. Girard, S. Pravossoudovitch, C. Landrault, A. Virazel

Laboratoire d'Informatique de Robotique et de Microélectronique de Montpellier

UMR 5506 UNIVERSITE MONTPELLIER II / CNRS

161 rue Ada, 34392, Montpellier Cedex 05, France

{rousset, girard, pravossoudovitch, landrault, virazel}@lirmm.fr

Résumé

Ce papier présente une méthode de diagnostic unifiée ciblant l'ensemble des modèles de fautes utilisés pour représenter les divers comportements de défaillances pouvant affecter les circuits nanométriques. Cette méthode basée sur une approche dite « Effet à Cause » s'appuie sur deux processus. Le premier permet de déterminer l'ensemble des pannes potentielles affectant une connexion sur laquelle apparaît une erreur logique. Le second, basé sur le principe de « traçage de chemins critiques, permet de déterminer l'ensemble des connexions susceptibles de comporter une erreur logique se propageant jusqu'à la sortie erronée.

1. Introduction

Le diagnostic des circuits défectueux est une opération importante permettant de réagir sur la conception et le processus technologique et ainsi d'améliorer le rendement de fabrication. L'opération de diagnostic peut être abordée sous deux angles fondamentalement différents selon que l'analyse effectuée sur le circuit se fasse par une analyse dite « Cause à Effet » ou par une analyse dite « Effet à Cause ». L'analyse « Cause à Effet » fait intervenir un traitement a priori basé sur la simulation de fautes. Ce traitement a pour but de construire un « dictionnaire de fautes », sur lequel s'appuiera le processus de diagnostic. Néanmoins cette technique a de multiples inconvénients. En effet, cette approche nécessite notamment une modélisation précise des défauts (« fault models ») et de leur effet. Autant cela est envisageable pour des fautes statiques franches telles que « collages » ou « courts-circuits », autant, cette approche est inadaptée aux fautes dynamiques telles que « fautes de délai » et/ou paramétriques telles que « courts-circuits et circuits ouverts résistifs » du fait de la non connaissance des paramètres comme le délai ou la résistance. Le second inconvénient majeur de cette approche est le volume de données à générer par le simulateur de fautes. La taille du dictionnaire de fautes devient en effet prohibitive pour de gros circuits.

L'approche dite « Effet à Cause » est une approche plus naturelle du processus de diagnostic dans le sens où l'analyse est effectuée a posteriori. En effet, cette approche consiste, à partir de la réponse du circuit, à analyser le comportement du circuit sous test afin d'en extraire les origines possibles du dysfonctionnement. Cette analyse a posteriori s'appuie sur un processus de remontée du comportement du circuit à partir de ses sorties appelé processus de « traçage de chemins

critique » [1]. Le principal avantage de cette approche est qu'elle ne nécessite pas de simulation de fautes et par conséquent ne nécessite pas la connaissance a priori de la réponse du circuit à une défaillance donnée. Cette approche du diagnostic qui est particulièrement intéressante notamment pour les défaillances à effets dynamiques et/ou paramétriques est toutefois difficilement applicable aux circuits séquentiels. Elle reste cependant utilisable lorsque le circuit est réalisé dans une approche Scan. Dans ce cas, la problématique des processus de diagnostic basée sur une approche « Effet à Cause » peut se décomposer en deux. La première consiste à déterminer le bloc combinatoire potentiellement défectueux compte tenu des effets induits par les chaînes de scan et les circuits de compaction (masquage d'erreur, introduction de valeur indéterminée) [2][3]. La seconde problématique consiste à déterminer le plus précisément possible, à l'intérieur du bloc combinatoire incriminé, le type et la localisation du (faute simple) ou des (fautes multiples) défauts ayant conduit au dysfonctionnement du circuit. L'étude présentée dans ce papier se situe dans le cadre de cette seconde problématique.

Le principe d'analyse « Effet à Cause » basé sur un processus de traçage de chemins critiques a initialement été développé pour identifier des pannes de collages [4]. Or, compte tenu des évolutions technologiques et des stratégies agressives de synchronisation (« aggressive clocking strategies »), il est apparu que de plus en plus de défaillances induisaient des comportements à caractère temporel ou paramétrique mal représentés par le modèle de collage. Ce principe a donc été adapté par la suite au traitement d'autres types de pannes telles que pannes de délai [5][6] ou pannes de court-circuit [7]. Il apparaît cependant que toutes les méthodes développées jusqu'à présent sur ce principe ne ciblent qu'un seul modèle de panne, éventuellement deux lorsque les effets induits sont comparables [8][9][10]. Or, lorsqu'une erreur est observée lors du test, rien ne permet d'identifier a priori le modèle de panne représentant le comportement induit par la défaillance et par conséquent de définir la méthode de diagnostic à appliquer. L'objectif de l'étude présentée dans ce papier est de proposer une méthode de diagnostic unifiée permettant de considérer simultanément l'ensemble des modèles de fautes généralement utilisés pour modéliser les divers comportements que peuvent engendrer les défaillances.

La suite de ce papier est organisée de la façon suivante. La section 2 donne les principes de base de la méthode proposée. La section 3 est consacrée à l'identification des modèles de pannes associés à une

erreur. La section 4 présente le processus de diagnostic développé.

2. Principe

Les informations issues du test indiquent pour chacun des vecteurs et pour chacune des sorties la concordance entre les valeurs logiques attendues et celles obtenues. Par la suite, nous noterons « pass » une sortie dont la réponse est celle attendue, et « fail » lorsque celle-ci est erronée. Lorsqu'une réponse erronée est observée, se pose alors le problème de déterminer les défaillances potentielles à l'origine des erreurs observées.

En fait, lorsqu'une erreur est détectée sur une sortie, cette erreur peut être due à une défaillance affectant la sortie en question ou due à la propagation d'une erreur engendrée par une défaillance affectant une connexion amont. Ainsi, le problème de diagnostic peut être scindé en deux sous problèmes. Le premier est de déterminer les défaillances susceptibles d'affecter une connexion sur laquelle se produit une erreur. Le second est de déterminer l'ensemble des connexions pouvant comporter une erreur logique susceptible d'être à l'origine des erreurs observées en sortie.

La méthode de diagnostic proposée s'appuie sur deux processus dérivés des constatations précédentes. Le premier permet de déterminer, lorsqu'une erreur est identifiée sur une connexion, l'ensemble des pannes potentielles pouvant affecter cette connexion. Le second permet de déterminer l'ensemble des lignes critiques, c'est-à-dire l'ensemble des connexions pouvant comporter une erreur logique susceptible d'être à l'origine des erreurs observées en sortie.

3. Identification des modèles de pannes associées à une erreur

Les défaillances affectant les circuits peuvent être de nature très diverses (défauts localisés ou répartis, variation de process, ...) et entraîner des comportements également divers (erreurs logiques, retards, déviations de paramètres électriques, ...). Afin de pouvoir être traités par les outils de simulation de fautes, de génération de vecteurs de test, ou de diagnostic, les comportements engendrés par ces défauts sont généralement représentés par des modèles. Ces modèles traduisent des déviations du comportement du circuit qui peuvent être logiques (collages, courts-circuits, circuits ouverts), temporels (pannes de délai de porte/chemin) ou paramétriques (courts-circuits résistifs, circuits ouvert résistifs). D'autre part, certaines défaillances affectent le comportement statique du circuit, d'autres le comportement dynamique. Les pannes affectant le comportement dynamique telles que pannes temporelles ou pannes de type « transistor stuck-open » nécessitent l'application d'une séquence de vecteurs pour être détectées. Dans le cadre de cette étude, nous considérons l'ensemble des comportements représentés par les modèles de collages, de courts-circuits (avec comportement ET, OU) de courts-circuits résistifs, d'opens, d'opens résistifs, de pannes de délai de porte et par extension, de chemins ou de segments de chemins, de pannes de stuck-on et stuck-open.

Lorsqu'une erreur est localisée sur une connexion L, cette erreur peut être due à la propagation d'une erreur

amont ou à une défaillance affectant cette connexion. Dans ce cas, le modèle associé à la défaillance peut être déterminé moyennant la connaissance du comportement du circuit sain. Ainsi, si la valeur attendue sur la connexion L est 0 (1), toute défaillance engendrant un comportement représenté par un des modèles suivants est susceptible d'être à l'origine de l'erreur (Figure 1a).

- Collage à 1 (0) de L,
- Court circuit avec comportement OU (ET) entre la connexion L et toute connexion à 1 (0),
- Circuit ouvert avec connexion ouverte chargée à 1 (0),
- Panne interne à la porte amont, stuck open d'un transistor N (P) stuck-on d'un transistor P (N),
- Circuit ouvert résistif sur L ou panne de délai de type Slow to Fall (Slow to Rise) (si le vecteur appliqué produit une commutation sur la connexion L)
- Court-circuit résistif avec toute connexion à 1 (0), si le vecteur appliqué produit une commutation sur la connexion L

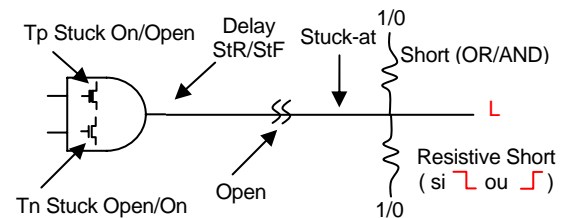


Figure 1 : Pannes potentielles à l'origine d'une erreur sur une connexion

Il apparaît ainsi clairement que sans manipuler explicitement de modèles de pannes, les pannes pouvant affecter une connexion sur laquelle se produit une erreur logique peuvent être déterminées à partir (i) de la valeur attendue sur la connexion, (ii) des valeurs portées par les autres connexions (pour les pannes de court-circuit, et, (iii) des commutations produites sur la connexion par le vecteur appliqué (pour les pannes à effet dynamique).

Vi-1, Vi sur les lignes	00	11	10	01
Modèles	—	—	⌋	⌋
Stuck at 0		x		x
Stuck at 1	x		x	
Tn Stuck open (*)	x		x	
Tn Stuck on (*)		x		x
Tp Stuck open (*)		x		x
Tp Stuck on (*)	x		x	
Open 0		x		x
Open 1	x		x	
Resistive open			x	x
Short Or (with any line at 1)	x		x	
Short And (with any line at 0)		x		x
Resistive Short (with any line at 1)			x	
Resistive Short (with line any at 0)				x
Delay StF			x	
Delay StR				x
Delay StF & STR			x	x

Figure 2 : Modèle de panne en fonction du signal porté par la connexion

(*) Les pannes de stuck-on et stuck-open ne produisent une erreur que dans des conditions particulières liées à l'effet séquentiel induit par ces pannes.

L'ensemble des modèles de pannes associés à une erreur logique sur une connexion peut ainsi se représenter (Figure 2) en fonction du signal généré sur la connexion (dans le circuit sain) par le vecteur produisant l'erreur (V_i), ce signal étant fonction de l'état logique imposé sur la connexion par le vecteur V_i , mais également de celui imposé par le vecteur précédent (V_{i-1}).

4. Méthode de diagnostic développée

Le processus de diagnostic développé est basé sur un principe d'analyse « effet à cause » s'appuyant sur un algorithme de traçage de chemins sensible (ou critique). Ce processus s'appuie sur quatre opérations : une opération de simulation du circuit sain, une opération de traçage de chemins sensibles, une opération d'identification des lignes critiques et une opération d'affectation des modèles de fautes. Les données exploitées par ce processus sont la description du circuit au niveau porte, la liste des vecteurs de test, le sous-ensemble de vecteurs ayant produit une erreur sur le testeur ainsi que les sorties sur lesquelles ont été observées ces erreurs.

4.1. Simulation et codage des signaux

L'identification du type de panne pouvant affecter une connexion requiert la connaissance des valeurs logiques propagées dans le circuit par le vecteur de test ayant produit l'erreur, mais également, pour les pannes dynamiques, des commutations produites par ce vecteur, c'est-à-dire les valeurs logiques propagées par le vecteur précédent. Pour cela, nous exploiterons un processus de simulation basé sur une algèbre à six valeurs [5] :

S0 : stable à '0' = '00'

S1 : stable à '1' = '11'

R1 : commutation montante = '01'

F0 : commutation descendante = '10'

P0 : possibilité de transition = '010'

P1 : possibilité de transition = '101'

S0 (S1) représente un signal stable à 0 (1) quels que soient les délais présents dans le circuit (délais inhérents au circuit ou délais provenant d'une panne).

R1 (F0) modélise un signal dont la valeur initiale est 0 (1) et la valeur finale est 1 (0). Ce signal peut présenter plusieurs transitions, mais la dernière est nécessairement une transition montante (descendante).

P0 (P1) représente un signal de valeur initiale et finale à 0 (1) mais présentant une possibilité d'aléas logiques à 1 (0) en fonction des valeurs des paramètres temporels du circuit ou des pannes temporelles affectant ce circuit.

Ce codage permet d'exhiber les valeurs logiques produites dans le circuit par le vecteur de test ayant produit l'erreur (0, 1), les transitions générées par ce vecteur (R1, F0) mais également les possibilités de transition (P0, P1) sans avoir à réaliser d'analyse temporelle du circuit.

Les signaux à appliquer sur les entrées du circuit lors de la simulation sont déterminés à partir du vecteur de test V_i ayant produit l'erreur et du vecteur V_{i-1} précédemment appliqué au circuit. Ainsi, pour une entrée E donnée, la valeur à appliquer est déterminée de la manière suivante :

$V_{i-1}(E) = 0, V_i(E) = 0 \Rightarrow E = C0$

$V_{i-1}(E) = 1, V_i(E) = 1 \Rightarrow E = C1$

$V_{i-1}(E) = 0, V_i(E) = 1 \Rightarrow E = R1$

$V_{i-1}(E) = 1, V_i(E) = 0 \Rightarrow E = F0$

Une fois les entrées déterminées, le processus simulation revient à propager ces signaux dans le circuit en utilisant les tables de transfert associées aux portes logiques données dans [5].

4.2 Traçage de chemins sensibles

Le processus de traçage de chemins sensibles, initialement développé pour traiter les pannes de collage [4], a par la suite été adapté de manière à traiter divers modèles de pannes tels que pannes temporelles [6][11][12], pannes de court-circuit [7], pannes de stuck-open [9]. Dans l'approche proposée, l'objectif n'est pas de déterminer directement les défaillances ayant produit les erreurs observées en sortie, mais plutôt de déterminer les sites potentiels d'erreur pouvant conduire à la situation observée.

Travaillant ainsi uniquement sur l'erreur logique, cette phase de traçage de chemins sensibles peut s'appuyer, moyennant quelques adaptations, sur l'algorithme de traçage de chemin développé pour les pannes de collage [1]. Les adaptations concernent d'une part la prise en compte de la spécificité des symboles manipulés lors de la simulation et d'autre part, les informations fournies par le processus. En fait, le processus de traçage de chemins sensibles s'appuie uniquement sur la valeur logique associée à chaque symbole stipulant l'état final du signal. Les informations fournies par le processus sont les sites potentiels d'erreur pouvant conduire à la situation observée en sortie et, pour chacun de ces sites, le symbole associé. L'association du signal aux sites potentiels d'erreurs nous permettra par la suite de déterminer le modèle de panne mis en jeu.

Ce processus est réalisé systématiquement à partir de chaque sortie 'fail'.

4.3 Identification des lignes critiques

A la suite du processus de traçage de chemins sensibles, une liste de sites potentiels d'erreurs comprenant également le symbole caractérisant le signal est associée à chaque sortie « fail ». Dans l'hypothèse de la panne unique, le site de la panne est nécessairement présent dans l'ensemble de ces listes. Ainsi, dans cette hypothèse, les lignes critiques du circuit sont déterminées par intersection des listes produites par le processus de traçage de chemins sensibles. Le symbole caractérisant le signal d'une ligne critique est déterminé à partir des règles d'intersection suivantes :

	S0	S1	F0	R1	P0	P1	D
S0	S0	-	S0	-	S0	-	-
S1	-	S1	-	S1	-	S1	-
F0	S0	-	F0	D	F0	D	D
R1	-	S1	D	R1	D	R1	D
P0	S0	-	F0	D	P0	D	D
P1	-	S1	D	R1	D	P1	D
D	-	-	D	D	D	D	D

Le symbole D représente une commutation pouvant être montante ou descendante. Ce symbole permet de

caractériser une panne temporelle affectant les deux types de commutation. Les cases marquées « - » correspondent à des cas ne pouvant se produire.

Les cases marquées « - » correspondent à des cas ne pouvant se produire. Si ce cas est détecté, l'erreur sur la connexion vient nécessairement de la propagation d'une erreur amont. La défaillance ne pouvant être localisée sur la connexion en question, cette connexion peut être enlevée de la liste des lignes critiques.

L'opération d'intersection de liste peut être réalisée une fois toutes les lignes « fail » traitées par le processus de traçage de chemins sensibles, mais elle peut également, pour des raisons d'optimisation, être incluse dans le processus global de traçage de chemins.

Un second raffinement dans l'identification des lignes critiques pourra être apporté en considérant les sorties saines « pass ». En effet, la prise en compte de ces sorties peut permettre d'innocenter certaines lignes critiques, du moins pour certains types de pannes. En effet, les informations tirées des sorties saines ne peuvent être utilisées que pour éliminer des fautes « statiques ». Tout comme dans [1], ce processus de prise en compte des sorties saines peut être basé sur une adaptation du principe de traçage de chemins.

4.4 Affectation des modèles de fautes

A ce stade du processus de diagnostic, l'information disponible est une liste de lignes critiques, avec pour chacune de ces lignes deux informations supplémentaires caractérisant : (i) le symbole associé au signal et (ii) le fait que l'on puisse éliminer les fautes statiques.

L'objectif est maintenant de déterminer le modèle de fautes associé à ces lignes critiques.

Soit une ligne critique L. A partir du tableau présenté sur la figure 2 nous pouvons déduire, en fonction du symbole associé à la connexion, les modèles de pannes pouvant être à l'origine du dysfonctionnement observé.

S0 ⇒ Stuck at 0, Tn Stuck Open, Tp Stuck On, Open à 1, Short Or avec une ligne à 1.

S1 ⇒ Stuck at 1, Tn Stuck On, Tp Stuck Open, Open à 0, Short AND avec une ligne à 0.

F0 ou P0 ⇒ Stuck at 0, Tn Stuck Open, Tp Stuck On, Open à 1, Short Or avec une ligne à 1, Resistive Open, Resistive Short (avec une ligne à 1), Delay StF.

R1 ou P1 ⇒ Stuck at 1, Tn Stuck On, Tp Stuck Open, Open à 0, Short AND avec une ligne à 0, Resistive Open, Resistive Short (avec une ligne à 0), Delay StR.

D ⇒ Resistive Open, Delay StR & StF

Dans le cas où les fautes statiques peuvent être éliminées (par la prise en compte des sorties saines), alors :

S0 ⇒ ligne éliminée

S1 ⇒ ligne éliminée

F0 ou P0 ⇒ Resistive Open, Resistive Short (avec une ligne à 1), Delay StF.

R1 ou P1 ⇒ Resistive Open, Resistive Short (avec une ligne à 0), Delay StR.

D ⇒ Resistive Open, Delay StR & StF

5. Conclusion

La méthode de diagnostic proposée s'appuie sur une analyse effet à cause basée sur le principe de traçage de chemin. Elle permet de ne pas avoir à manipuler les modèles de pannes de manière explicite. Les pannes potentielles à l'origine des dysfonctionnements observés sont retrouvées à partir d'une analyse des effets (erreurs) produits. Par rapport aux méthodes existantes, cette approche permet de traiter l'ensemble des modèles de pannes de manière unifiée, améliorant ainsi la qualité du diagnostic.

Références

- [1] M. Abramovici, M. A. Breuer, "Multiple Fault Diagnosis in Combinational Circuits Based on an Effect-Cause Analysis", IEEE Transactions on Computer, vol. c-29, n°6, pp. 451-460, June 1980.
- [2] S. Mitra, K.S. Kim, "X-Compact, an Efficient Response Compaction Technique for Test Cost Reduction", International Test Conference, pp: 311-320, 2002.
- [3] G.Mrugalski, A. Pogiel, J. Rajski, J. Tyszer, C. Wang, "Fault Diagnosis in Designs with Convolutional Compactors", International Test Conference, pp. 498-507, 2004.
- [4] M. Abramovici, P.R. Menon, D.T. Miller, "Critical Path Tracing – An Alternative to Fault Simulation", 20th Design Automation Conference, pp. 214-220, 1983.
- [5] P. Girard, C. Landrault, S. Pravossoudovitch, "An Advanced Diagnostic Method for Delay Faults in Combinational Faulty Circuits", Journal of Electronic Testing: Theory and Applications, vol. 6, n°3, pp. 277-293, 1995.
- [6] Yuan Chieh Hsu, Sandeep Gupta, "A New Path-Oriented Effect-Cause Methodology to Diagnose Delay Failure", International Test Conference, pp. 758-767, 1998.
- [7] Srikanth Vendkataraman, W. Kent Fuchs, « A Deductive Technique for Diagnosis of Bridging Fault », International Conference on Computer Aided Design, pp. 562-567, 1997.
- [8] Xinyue Fan, Will Moore, Camelia Hora, Guido Gronthoud, "A novel Stuck-At Based Method for Transistor Stuck-Open Fault Diagnosis", International Test Conference, session 16, pp. 1-4, 2005.
- [9] David B. Lavo, Brian Chess, Tracy Larrabee, F. Joel Fergusson, "Diagnosing Realistic Bridging Faults with Single Stuck-At Information", IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, vol.17, n°3, pp. 255-267, March 1998.
- [10] Piet Engelke, Ilia Polian, Michel Renovell, Bernd Becker, "Simulating Resistive Bridging and Stuck-At Faults", International Test Conference, pp. 1051-1059, 2003.
- [11] P. Girard, C. Landrault, S. Pravossoudovitch, "A Novel Approach to Delay Fault Diagnosis", ACM Design Automation Conference, pp. 357- 360, 1992.
- [12] P. Girard, C. Landrault, S. Pravossoudovitch, "Delay Fault Diagnosis Based on Critical Path Tracing from Symbolic Simulation", ISCAS92, IEEE International Symposium on Circuits and Systems, vol. 3 of 6, pp.1133-1136, 1992.