

## Diagnostic Multi-Modèles des Circuits Logiques

Alexandre Rousset, Patrick Girard, Christian Landrault, Serge  
Pravossoudovitch, Arnaud Virazel

► **To cite this version:**

Alexandre Rousset, Patrick Girard, Christian Landrault, Serge Pravossoudovitch, Arnaud Virazel. Diagnostic Multi-Modèles des Circuits Logiques. MAJECSTIC'06: Manifestation des Jeunes Chercheurs STIC, Nov 2006, Lorient, France. 2006. <lirmm-00136876>

**HAL Id: lirmm-00136876**

**<https://hal-lirmm.ccsd.cnrs.fr/lirmm-00136876>**

Submitted on 15 Mar 2007

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Diagnostic Multi-Modèles des Circuits Logiques

A. Rousset, P. Girard, C. Landrault, S. Pravossoudovitch, A. Virazel  
Laboratoire d'Informatique de Robotique et de Microélectronique de Montpellier  
161 rue Ada, 34392, Montpellier Cedex 05, France  
{rousset, girard, landrault, pravossoudovitch, virazel}@lirmm.fr

**Résumé :** Ce papier présente une méthode de diagnostic unifiée ciblant l'ensemble des modèles de fautes utilisés pour représenter les divers comportements de défaillances pouvant affecter les circuits nanométriques. Cette méthode basée sur une approche dite « Effet à Cause » s'appuie sur deux processus. Le premier permet de déterminer l'ensemble des pannes potentielles affectant une connexion sur laquelle apparaît une erreur logique. Le second, basé sur le principe de « traçage de chemins critiques », permet de déterminer l'ensemble des connexions susceptibles de comporter une erreur logique se propageant jusqu'à la sortie erronée.

**Mots Clés :** Microélectronique, diagnostic, multi modèles, traçage de chemin.

## 1 INTRODUCTION

L'analyse des mécanismes de défaillance (defect analysis) ayant conduit au comportement défectueux d'un circuit est une opération importante qui permet éventuellement de réagir sur le processus de conception et/ou fabrication du circuit afin d'en améliorer le rendement. Cette analyse qui passe par un examen physique du circuit met en œuvre un processus et un équipement relativement lourd. Afin d'alléger cette opération, l'examen physique du circuit est généralement précédé d'une opération de diagnostic. Ce processus, basé sur la connaissance de la structure du circuit, des stimuli qui lui sont appliqués et de la réponse du circuit à ces stimuli (informations fournies par le testeur) a pour objectif d'identifier et de localiser au mieux les défaillances ayant conduit au comportement erroné du circuit sous test. L'information issue du processus de diagnostic est ensuite utilisée pour orienter l'observation physique du circuit. Ainsi, de la résolution du processus de diagnostic va dépendre l'efficacité de l'analyse de défaillance.

L'opération de diagnostic peut être abordée sous deux angles fondamentalement différents selon que l'analyse effectuée sur le circuit se fasse par une analyse dite « Cause à Effet » ou par une analyse dite « Effet à Cause ». L'analyse « Cause à Effet » fait intervenir un traitement à priori basé sur la simulation de fautes. Ce traitement à pour but de construire un « dictionnaire de fautes », sur lequel s'appuiera le processus de diagnostic. Le principal avantage de cette approche est qu'elle permet de traiter les circuits séquentiels de la même manière que les circuits combinatoires et ceci même pour

les circuits ne présentant pas de structure de DFT particulière. Par contre, ses inconvénients sont multiples. En effet, cette approche nécessite notamment une modélisation précise des défaillances (fault models) et des effets de ces défaillances. Autant cela est envisageable pour des fautes statiques franches telles que « collages » ou « court-circuit », autant, cette approche est inadaptée aux fautes dynamiques telles que « fautes de délai » et/ou paramétriques telles que « court-circuits et circuits ouverts résistifs ». Le second inconvénient majeur de cette approche est le volume de données à générer par le simulateur de fautes. La taille du dictionnaire de fautes devient en effet prohibitive pour de gros circuits.

L'approche dite « Effet à Cause » est une approche plus naturelle du processus de diagnostic dans le sens où l'analyse est effectuée à posteriori. En effet, cette approche consiste, à partir de la réponse du circuit, à analyser le comportement du circuit sous test afin d'en extraire les origines possibles du dysfonctionnement. Cette analyse à posteriori s'appuie sur un processus de remontée du comportement du circuit à partir de ses sorties appelé processus de « traçage de chemins critique » [Abramovici, 1984]. Le principal avantage de cette approche est qu'elle ne nécessite pas de simulation de fautes et par conséquent ne nécessite pas la connaissance à priori de la réponse du circuit à une défaillance donnée. Cette approche du diagnostic qui est particulièrement intéressante notamment pour les défaillances à effets dynamiques et/ou paramétriques est toutefois difficilement applicable aux circuits séquentiels. Elle reste cependant utilisable lorsque le circuit est réalisé dans une approche Scan. Dans ce cas, la problématique des processus de diagnostic basée sur une approche « Effet à Cause » peut se décomposer en deux. La première consiste à déterminer le bloc combinatoire potentiellement défectueux compte tenu des effets induits par les chaînes de scan et les circuits de compaction [Mitra, 2002][Mrugalski, 2004] (masquage d'erreur, introduction de valeur indéterminée). La seconde problématique consiste à déterminer le plus précisément possible, à l'intérieur du bloc combinatoire incriminé, le type et la localisation du (panne simple) ou des (pannes multiples) défauts ayant conduit au dysfonctionnement du circuit. L'étude présentée dans ce papier se situe dans le cadre de cette seconde problématique.

Le principe d'analyse « Effet à Cause » basé sur un processus de traçage de chemins critiques a initialement été développé pour identifier des pannes de collages

[Abramovici, 1984]. Or, compte tenu des évolutions technologiques et des stratégies agressives de synchronisation (agressive clocking strategies), il est apparu que de plus en plus de défaillances induisaient des comportements à caractère temporel ou paramétrique mal représentés par le modèle de collage. Ce principe a donc été adapté par la suite au traitement d'autres types de pannes telles que pannes de délai [Girard, 1995][Hsu, 1998] ou pannes de court-circuit [Venderkataman, 1997]. Il apparaît cependant que toutes les méthodes développées jusqu'à présent sur ce principe ne ciblent qu'un seul modèle de panne, éventuellement deux lorsque les effets induits sont comparables [Fan, 2005]. Or, lorsqu'une erreur est observée lors du test, rien ne permet d'identifier a priori le modèle de panne représentant le comportement induit par la défaillance et par conséquent de définir la méthode de diagnostic à appliquer. Certaines pistes peuvent éventuellement être privilégiées ou écartées en fonction d'informations complémentaires qui peuvent être obtenues en complétant ou modifiant la procédure de test du circuit (modification de la séquence de test, de l'ordre des vecteurs dans la séquence, de la fréquence d'application des vecteurs, etc...). Cependant, l'obtention de ces informations supplémentaires implique de tester à nouveau le circuit, ce qui n'est pas toujours facilement réalisable ou économiquement viable dans le cycle de production. L'objectif de l'étude présentée dans ce papier est de proposer une méthode de diagnostic unifiée permettant de considérer simultanément l'ensemble des modèles de fautes généralement utilisés pour modéliser les divers comportements que peuvent engendrer les défaillances.

La suite de ce papier est organisée de la façon suivante. La section 2 donne les principes de base de la méthode proposée. La section 3 est consacrée à l'identification des modèles de pannes associés à une erreur. La section 4 présente le processus de recherche des lignes critiques.

## 2 PRINCIPE

Les informations issues du test indiquent pour chacun des vecteurs et pour chacune des sorties la concordance entre les valeurs logiques attendues et celles obtenues (pass/fail). Lorsqu'une réponse erronée est observée, se pose alors le problème de déterminer les défaillances potentielles à l'origine des erreurs observées.

En fait, lorsqu'une erreur est détectée sur une sortie, cette erreur peut être due à une défaillance affectant la sortie en question ou due à la propagation d'une erreur engendrée par une défaillance affectant une connexion amont. Ainsi, le problème de diagnostic peut être scindé en deux sous problèmes. Le premier est de déterminer les défaillances susceptibles d'affecter une connexion sur laquelle se produit une erreur. Le second est de déterminer l'ensemble des connexions pouvant comporter une erreur logique susceptible d'être à l'origine des erreurs observées en sortie.

La méthode de diagnostic proposée s'appuie sur deux processus dérivés des constatations précédentes. Le premier permet de déterminer, lorsqu'une erreur est identifiée sur une connexion, l'ensemble des pannes potentielles affectant cette connexion. Le second permet de déterminer l'ensemble des lignes critiques, c'est-à-dire l'ensemble des connexions pouvant comporter une erreur logique susceptible d'être à l'origine des erreurs observées en sortie.

## 3 IDENTIFICATION DES MODELES DE PANNES ASSOCIES A UNE ERREUR

Les défaillances affectant les circuits peuvent être de nature très diverses (défauts localisés ou répartis, variation de processus, ...) et entraîner des comportement également diverses (erreurs logiques, retards, déviations de paramètres électriques, ...). Afin de pouvoir être traités par les outils de simulation de fautes, de génération de vecteurs de test, ou de diagnostic, les comportements engendrés par ces défauts sont généralement représentés par des modèles. Ces modèles traduisent des déviations du comportement du circuit qui peuvent être logiques (collages, court-circuits, circuits ouverts), temporels (pannes de délai de porte/chemin) ou paramétriques (court-circuits résistifs, circuits ouvert résistifs). D'autre part, certaines défaillances affectent le comportement statique du circuit, d'autres le comportement dynamique. Les pannes affectant le comportement dynamique telles que pannes temporelles ou pannes de type « transistor stuck-open » nécessitent l'application d'une séquence de vecteurs pour être détectées. Dans le cadre de cette étude, nous considérons l'ensemble des comportements représentés par les modèles de collages, de court-circuits (avec comportement ET, OU) de court-circuits résistifs, d'opens, d'opens résistifs, de pannes de délai de porte et par extension, de chemins ou de segments de chemins, de pannes de stuck-on et stuck-open.

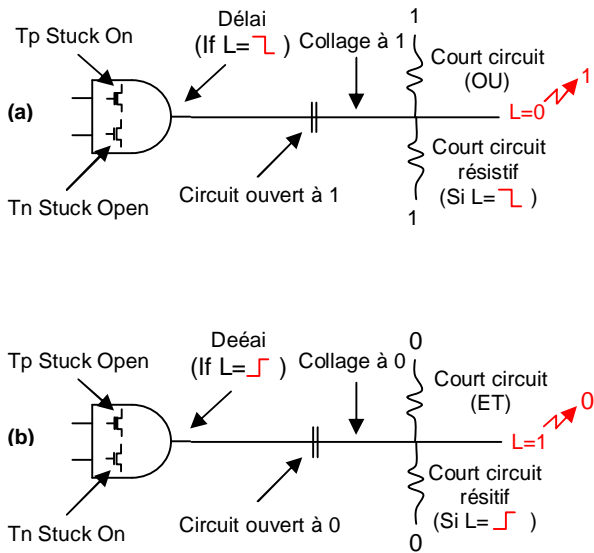
Lorsqu'une erreur est localisée sur une connexion « L », cette erreur peut être due à la propagation d'une erreur amont ou à une défaillance affectant cette connexion. Dans ce cas, le modèle associé à la défaillance peut être déterminé moyennant la connaissance du comportement du circuit sain. Ainsi, si la valeur attendue sur la connexion L est 0, toute défaillance engendrant un comportement représenté par un des modèles suivants est susceptible d'être à l'origine de l'erreur (Figure 1a).

- Collage à 1 de L,
- Court circuit (avec comportement OU entre la connexion L et toute connexion à 1),
- Circuit ouvert (avec connexion ouverte chargée à 1)
- Panne interne à la porte amont (stuck open d'un transistor N ou stuck-on d'un transistor P)
- Circuit ouvert résistif sur L ou panne de délai de type L<sub>àD</sub> (Lent à Descendre) (si le vecteur appliqué produit une commutation sur la connexion L)

- Court-circuit résistif (avec toute connexion à 1, si le vecteur appliqué produit une commutation sur la connexion L)

Si la valeur attendue sur la connexion L est 1, toute défaillance engendrant un comportement représenté par un des modèles suivants est susceptible d'être à l'origine de l'erreur (Figure 1b).

- Collage à 0 de L,
- Court circuit (avec comportement ET entre la connexion L et toute connexion à 0),
- Circuit ouvert (avec connexion ouverte à 0)
- Panne interne à la porte amont (stuck open d'un transistor P ou stuck-on d'un transistor N)
- Circuit ouvert résistif sur L ou panne de délai de type L<sub>a</sub>M (Lent à Monter) (si le vecteur appliqué produit une commutation sur la connexion S)
- Court-circuit résistif (avec toute connexion à 0, si le vecteur appliqué produit une commutation sur la connexion L.



**Figure 1 :** Pannes potentielles à l'origine d'une erreur sur une connexion

Il apparaît ainsi clairement que sans manipuler explicitement de modèles de pannes, les pannes pouvant affecter une connexion sur laquelle se produit une erreur logique peuvent être déterminées à partir (i) de la valeur attendue sur la connexion, (ii) des valeurs portées par les autres connexions (pour les pannes de court-circuit) et (iii) des commutations produites sur la connexion par le vecteur appliqué (pour les pannes à effet dynamique).

L'ensemble des modèles de pannes associés à une erreur logique sur une connexion peut ainsi se représenter (Tableau 1) en fonction du signal généré sur la connexion (dans le circuit sain) par le vecteur produisant l'erreur ( $V_i$ ), ce signal étant fonction de l'état logique imposé sur la connexion par le vecteur  $V_i$ , mais également de celui imposé par le vecteur précédent ( $V_{i-1}$ ).

Remarque : Parmi l'ensemble des pannes mentionnées dans le tableau de la Tableau 1, nous pouvons noter que certaines peuvent être considérées comme équivalentes. C'est par exemple le cas des pannes d'open et de collage. Nous remarquerons également que les pannes de court-circuits résistifs représentent un sous ensemble des pannes de courts-circuit. En effet, les pannes de court-circuit résistif requièrent les mêmes conditions que les pannes de pannes de court-circuit franc plus une condition supplémentaire de commutation du signal. Elles représentent également un sous ensemble des pannes de délai. Par rapport aux pannes de délai, elles requièrent une condition supplémentaire portant sur la valeur logique portée par la connexion « agresseur ».

	00	11	10	01
Collage à 0		x		x
Collage à 1	x		x	
Tn Stuck open (*)	x		x	
Tn Stuck on (*)		x		x
Tp Stuck open (*)		x		x
Tp Stuck on (*)	x		x	
Circuit ouvert à 0		x		x
Circuit ouvert à 1	x		x	
Circuit ouvert résistif			x	x
Court circuit OU (avec une ligne à 1)	x		x	
Court circuit ET (avec une ligne à 0)		x		x
Court circuit résistif (avec une ligne à 1)			x	
Court circuit résistif (avec une ligne à 0)				x
Délai -lent à descendre			x	
Délai - lent à monter				x
Délai - lent à descendre et à monter			x	x

**Tableau 1 :** Modèle de panne en fonction du signal porté par la connexion

(\*) Les pannes de stuck-on et stuck-open ne produisent une erreur que dans des conditions particulières liées à l'effet séquentiel induit par ces pannes.

## 4 PROCESSUS DE DIAGNOSTIC

Le processus de diagnostic développé est basé sur un principe d'analyse « Effet à Cause » s'appuyant sur un algorithme de traçage de chemins critiques. Ce processus s'appuie sur quatre opérations successives : une opération de simulation du circuit sain, une opération de traçage de chemins critiques, une opération d'identification des modèles de fautes. Les données exploitées par ce processus sont la description du circuit au niveau porte, la liste des vecteurs de test, le sous-ensemble de vecteurs ayant produit une erreur lors du test ainsi que les sorties sur lesquelles ont été observé ces erreurs.

## 4.1 Simulation et codage des signaux

L'identification du type de panne pouvant affecter une connexion requiert la connaissance des valeurs logiques propagées dans le circuit par le vecteur de test ayant produit l'erreur, mais également, pour les pannes dynamiques, des commutations produites par ce vecteur. Pour mettre en évidence ces commutations, nous exploiterons un processus de simulation basé sur une algèbre à six valeurs [Girard, 1995] :

C0 : stable à '0' = '00'  
 C1 : stable à '1' = '11'  
 R1 : commutation montante = '01'  
 F0 : commutation descendante = '10'  
 P0 : possibilité de transition = '010'  
 P1 : possibilité de transition = '101'

C0 (C1) représente un signal stable à 0 (1) quels que soient les délais présents dans le circuit (délais inhérents au circuit ou délais provenant d'une panne).

R1 (F0) modélise un signal dont la valeur initiale est 0 (1) et la valeur finale est 1 (0). Ce signal peut présenter plusieurs transitions, mais la dernière est nécessairement une transition montante (descendante).

P0 (P1) représente un signal de valeur initiale et finale à 0 (1) mais présentant une possibilité d'aléas logiques à 1 (0) en fonction des valeurs des paramètres temporels du circuit ou des pannes temporelles affectant ce circuit.

Ce codage permet d'exhiber les valeurs logiques produites dans le circuit par le vecteur de test ayant produit l'erreur (0, 1), les transitions générées par ce vecteur (R1, F0) mais également les possibilités de transition (P0, P1) sans avoir à réaliser d'analyse temporelle du circuit.

Les signaux à appliquer sur les entrées du circuit lors de la simulation sont déterminés à partir du vecteur de test  $V_i$  ayant produit l'erreur et du vecteur  $V_{i-1}$  appliqué sur le circuit immédiatement avant le vecteur  $V_i$ . Ainsi, pour une entrée E donnée, la valeur à appliquer est déterminée de la manière suivante :

$V_{i-1}(E) = 0, V_i(E) = 0 \Rightarrow E = C0$   
 $V_{i-1}(E) = 1, V_i(E) = 1 \Rightarrow E = C1$   
 $V_{i-1}(E) = 0, V_i(E) = 1 \Rightarrow E = R1$   
 $V_{i-1}(E) = 1, V_i(E) = 0 \Rightarrow E = F0$

Une fois les entrées déterminées, le processus simulation revient à propager ces signaux dans le circuit en utilisant les tables de transfert associées aux portes logiques. Les tables de transfert des portes ET, OU, INV sont données sur la Tableau 2. Celles associées aux autres types de portes pourront être déduites de celles-ci.

ET	C0	C1	F0	R1	P0	P1
C0	C0	C0	C0	C0	C0	C0
C1	C0	C1	F0	R1	P0	P1
F0	C0	F0	F0	P0	P0	F0
R1	C0	R1	P0	R1	P0	R1
P0	C0	P0	P0	P0	P0	P0
P1	C0	P1	F0	R1	P0	P1

OU	C0	C1	F0	R1	P0	P1
C0	C0	C1	F0	R1	P0	P1
C1	C1	C1	C1	C1	C1	C1
F0	F0	C1	F0	P1	F0	P1
R1	R1	C1	P1	R1	R1	P1
P0	P0	C1	F0	R1	P0	P1
P1	P1	C1	P1	P1	P1	P1

INV	IN	OUT
	C0	C1
	C1	C0
	F0	R1
	R1	F0
	P0	P1
	P1	P0

Tableau 2 : Tables de transfert des portes élémentaires

A titre d'exemple, considérons le circuit présenté sur la Figure 2. Ce circuit comporte 4 entrées (e1, e2, e3, e4) et 2 sorties (z1, z2). La paire de vecteurs V1, V2 appliquée sur les entrées de ce circuit est la suivante : V1=(0,0,1,0), V2=(1,1,1,1). Le vecteur multivalué issu de cette paire de vecteurs à simuler est V=(R1,R1,C1,R1). Les valeurs propagées par le processus de simulation sont illustrées sur la figure 2.

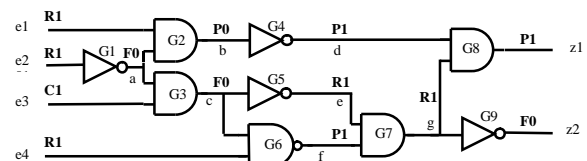


Figure 2 : Simulation multivaluée

## 4.2 Traçage de chemins critiques

Le processus de traçage de chemins critiques, initialement développé pour traiter les pannes de collage [Abramovici, 1984], a par la suite été adapté de manière à traiter divers modèles de pannes tels que pannes temporelles [Girard, 1995][Girard, 1992a][Girard, 1992b], pannes de court-circuit [Lavo, 1998][Engelke, 2003], pannes de stuck-open [Fan, 2005]. Dans l'approche proposée, le processus de traçage de chemins

critiques n'est pas directement associé à un modèle de panne. En effet, l'objectif est ici de déterminer les sites (lignes critiques) à partir desquels une erreur logique peut produire les effets observés en sortie. Le modèle de la panne susceptible de produire l'erreur sur les lignes critiques ne sera déterminé qu'à posteriori. Ce processus peut donc, moyennant certaines adaptations, notamment vis à vis des signaux manipulés lors de la simulation et des informations à produire, s'appuyer sur l'algorithme de traçage de chemins critiques développé pour les pannes de collage [Abramovici, 1984]. En fait, ce processus de traçage de chemins critiques, en s'appuyant uniquement sur la valeur logique associée à chaque symbole stipulant l'état final du signal, est identique à celui développé dans [Abramovici, 1984]. C'est en effet à partir de ces valeurs logiques (valeurs finales) que sont définies les entrées sensibles des portes et donc recherchés les chemins critiques.

Ce processus de traçage de chemins critiques est illustré sur la Figure 3. Le circuit ainsi que le vecteur multi valué qui lui est appliqué sont ceux utilisés précédemment pour illustrer la phase de simulation (Figure 2). Les entrées sensibles des portes sont établies à partir des valeurs logiques finales des signaux multivalués et des règles définies dans [Abramovici, 1984]. Elles sont matérialisées sur la figure par des points. Le processus de traçage de chemins critiques, réalisé à partir des deux sorties z1 et z2 déclarées « fail » lors du test conduisent respectivement aux ensembles de lignes critiques suivants : {e2, a, b, c, d, e, f, g, z1}, {e2, a, c, e, f, g, z2}.

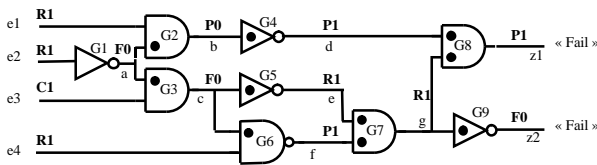


Figure 3 : Traçage de chemins critiques

A chacune des lignes critiques, le processus de traçage de chemins critiques associera le signal porté par la ligne. Cette association du signal aux sites potentiels d'erreurs nous permettra par la suite de déterminer le modèle de panne mis en jeu. Ainsi, l'information fournie par le processus de traçage de chemins critiques est une liste de couples (LC,S) ou LC est l'identificateur de la ligne critique et S le signal porté par cette ligne pour le vecteur considéré. Dans le cas de l'exemple précédent, les listes fournies par le processus de traçage de chemins critiques à partir de z1 et z2 sont respectivement {(e2,R1), (a,F0), (b,P0), (c,F0), (d,P1), (e,R1), (f,P1), (g,R1), (z1,P1)} et {(e2,R1), (a,F0), (c,F0), (e,R1), (f,P1), (g,R1), (z2,F0)}.

### 4.3 Identification des lignes critiques

Le processus de traçage de chemins critiques est réalisé à partir de toutes les sorties déclarées « fail » lors du test. Pour chacune de ces sorties, une liste de lignes critiques

auxquelles sont associé le symbole représentant le signal est constituée. Les sites de pannes ayant conduit aux erreurs observées sont nécessairement présents dans ces listes. Si l'on se place maintenant dans l'hypothèse de la panne unique, le site de la panne est nécessairement présent dans toutes les listes. Dans cette hypothèse, les lignes critiques du circuit peuvent ainsi être déterminées par intersection des listes produites par le processus de traçage de chemins critiques. Ce processus d'intersection est défini de la manière suivante :

Soit 2 listes L1 et L2 produites par le processus de traçage de chemins critiques.

Soit  $L_s = L1 \cap L2$ .  $L_s$  résulte de l'intersection entre chaque élément  $(LC_i, Si)_1$  de L1 et chaque élément  $(LC_j, Sj)_2$  de L2. L'intersection entre ces éléments est définie de la manière suivante :

- si  $LC_i \neq LC_j$  ou  $Si \cap Sj$  non défini alors  $(LC_i, Si)_1 \cap (LC_j, Sj)_2 = \emptyset$
- sinon  $(LC, Si)_1 \cap (LC, Sj)_2 = (LC, Si \cap Sj)$

ou  $\cap$ , opération d'intersection portant sur les signaux associés à une ligne critique est défini par le tableau présenté sur la tableau 3.

$\cap_s$	C0	C1	F0	R1	P0	P1	D
C0	C0	-	C0	-	C0	-	-
C1	-	C1	-	C1	-	C1	-
F0	C0	-	F0	D	F0	D	D
R1	-	C1	D	R1	D	R1	D
P0	C0	-	F0	D	P0	D	D
P1	-	C1	D	R1	D	P1	D
D	-	-	D	D	D	D	D

Tableau 3 : Opération d'intersection entre signaux

Le symbole « D », ajouté aux symboles manipulés lors de la simulation, représente une commutation pouvant être montante ou descendante. Ce symbole permet de caractériser une panne temporelle affectant les deux types de commutation.

Le symbole « - » représente une intersection non définie. Si ce cas se produit, l'erreur sur la connexion ne peut en aucun cas, dans l'hypothèse de la panne unique, venir d'une défaillance affectant la connexion en question. Elle vient nécessairement de la propagation d'une erreur amont. La défaillance ne pouvant être localisée sur la connexion en question, cette connexion est donc à exclure de la liste des lignes critiques.

Afin d'illustrer ce processus d'intersection, reprenons la configuration présentée sur la Figure 3 en supposant que les 2 sortie z1 et z2 soient "fail". A partir de ces 2 sorties "fail", les 2 listes de lignes critiques générées par le processus de traçage de chemins critiques sont donc respectivement :

$$L1 = \{(e2,R1), (a,F0), (b,P0), (c,F0), (d,P1), (e,R1), (f,P1), (g,R1), (z1,P1)\}$$

$$L2 = \{(e2,R1), (a,F0), (c,F0), (e,R1), (f,P1), (g,R1), (z2,F0)\}$$

En appliquant les règles d'intersection précédemment définies, la liste L12 résultant de l'intersection entre L1 et L2 est :

$$L12 = \{(e2,R1), (a,F0), (c,F0), (e,R1), (f,P1), (g,R1)\}$$

Supposons maintenant qu'un autre vecteur donne une sortie « pass » (z1) et une sortie « fail » (z2) et que ce vecteur et le vecteur précédent soient tels que le vecteur multivalué est  $V=(R1,C0,R1,R1)$ . Cette situation est illustrée sur la figure 4.

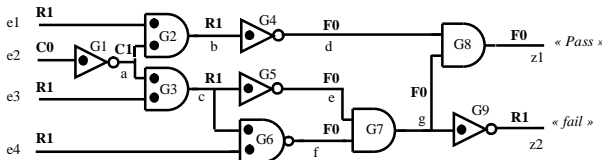


Figure 4 : Tracage de chemins critiques

Le processus de tracage de chemins critiques réalisé à partir de la sortie « fail » z2 donne la liste de lignes critiques L3 suivante :

$$L3 = \{(e2,C0), (e3,R1), (a,C1), (c,R1), (g,F0), (z2,R1)\}$$

Nous remarquerons que dans ce cas, le processus de tracage s'arrête à la porte non sensible G7 puis reprend sur le pied de divergence « c » issu des entrées de cette porte. Le détail de ce mécanisme peut être retrouvé dans [4].

En appliquant les règles d'intersection précédemment définies, la liste L123 résultant de l'intersection entre L3 et L12 est :

$$L123 = \{(c,D), (g,D)\}$$

Les lignes critiques « e2 » et « a » communes aux 3 listes n'apparaissent pas dans la liste L123 du fait d'une intersection non définie entre les signaux. D'autre part, les lignes critiques « c » et « d » se voient affecter le signal « D » représentant le fait que ces lignes sont critiques pour les 2 types de commutation (montante et descendante).

Revenons maintenant plus en détail sur le cas d'une intersection non définie à partir des deux exemples présentés sur les figures 5 et 6.

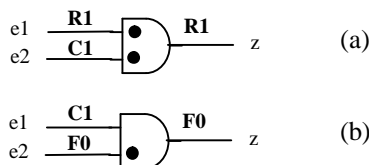


Figure 5 : Exemple d'intersection non définie

Dans le cas de la figure 5, la liste des lignes critiques obtenue pour le premier vecteur (5a) est  $L1 = \{(e1,R1), (e2,C1), (z,R1)\}$  et la liste des lignes critiques obtenue pour le second vecteur (5b) est  $L2 = \{(e2,F0), (z,F0)\}$

$$\text{Soit } L12 = L1 \cap L2.$$

$$L12 = \{(z,D)\}$$

La ligne e2, bien qu'apparaissant dans les 2 listes L1 et L2, n'apparaît pas dans la liste finale des lignes critiques. En effet aucune panne simple sur cette ligne ne peut engendrer une erreur sur la sortie z dans les 2 configurations (figure 5a et 5b). Seule une panne sur la sortie z le peut.

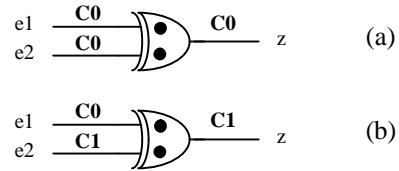


Figure 6 : Exemple d'intersection non définie

Dans le cas de la figure 6, la liste des lignes critiques obtenue pour le premier vecteur (6a) est  $L1 = \{(e1,C0), (e2,C0), (z,C0)\}$  et la liste des lignes critiques obtenue pour le second vecteur (6b) est  $L2 = \{(e1,C0), (e2,C1), (z,C1)\}$

$$\text{Soit } L12 = L1 \cap L2.$$

$$L12 = \{(e1,C0)\}$$

Dans ce cas, seule une panne affectant la ligne e1 peut être à l'origine des erreurs observées sur la sortie z. En effet, une panne de collage à 1 par exemple sur la ligne e2 ou sur la ligne z entraînerait une erreur pour la configuration de la figure 6a mais pas pour la configuration de la figure 6b. De la même façon, une panne de collage à 0 par sur la ligne e2 ou sur la ligne z entraînerait une erreur pour la configuration de la figure 6b mais pas pour la configuration de la figure 6a.

#### 4.4 Affectation des modèles de fautes

A ce stade du processus de diagnostic, l'information disponible est une liste de lignes critiques, avec pour chacune de ces lignes le symbole associé au signal. En fonction de ce symbole, nous pouvons établir le modèle de fautes associé à chacune des lignes critiques. La correspondance entre symbole et modèle de panne est explicitée sur le tableau 4. Ce tableau est l'adaptation de celui présenté dans le paragraphe 2 (Tableau 1) prenant en compte les signaux manipulés dans le processus de recherche des lignes critiques.

	C0	C1	F0,P0	R1,P1	D
Collage à 0		x		x	
Collage à 1	x		x		
Tn Stuck open (*)	x		x		
Tn Stuck on (*)		x		x	
Tp Stuck open (*)		x		x	
Tp Stuck on (*)	x		x		
Circuit ouvert à 0		x		x	
Circuit ouvert à 1	x		x		

Circuit ouvert résistif			x	x	x
Court circuit OU (avec une ligne à 1)	x		x		
Court circuit ET (avec une ligne à 0)		x		x	
Court circuit résistif (avec une ligne à 1)			x		
Court circuit résistif (avec une ligne à 0)				x	
Délai – lent à descendre			x		
Délai – lent à monter				x	
Délai – lent à monter et à descendre			x	x	x

**Tableau 4 :** Modèle de pannes en fonction du signal

Afin d'illustrer ce processus d'affectation des modèles de pannes, reprenons l'exemple traité dans le paragraphe précédent ayant conduit à la liste de ligne critique L123 = {(c,D), (g,D)}. Dans ce cas, les seules pannes ayant pu conduire aux erreurs observées sur les sorties sont :

Panne affectant la ligne c : Circuit ouvert résistif, Délai de type lent à descendre & lent à monter.

Panne affectant la ligne g : Circuit ouvert résistif, Délai de type lent à descendre & lent à monter.

## 5 CONCLUSION

La méthode de diagnostic proposée s'appuie sur une analyse « Effet à Cause » basée sur le principe de traçage de chemins critiques. Elle permet de ne pas avoir à manipuler les modèles de pannes de manière explicite. Les pannes potentielles à l'origine des dysfonctionnements observés sont déterminées à partir d'une analyse des effets pouvant être produits (erreurs) sur les lignes du circuit. Par rapport aux méthodes précédemment développées selon ce principe de traçage de chemins critiques, cette approche permet de traiter l'ensemble des modèles de pannes de manière unifiée, améliorant ainsi la résolution et donc la qualité du diagnostic. Une partie des travaux futurs porteront sur l'utilisation des sorties saines afin de réduire la liste de suspect final issue de l'intersection des listes de suspects créés à partir des sorties 'fail'.

## BIBLIOGRAPHIE

- [Abramavoci, 1984] M. Abramovici, P.R. Menon, D.T. Miller, "Critical Path Tracing – An Alternative to Fault Simulation", IEEE Design & Test of Computers, Vol 1, n°1, pp 83-92, february (1984).
- [Mitra, 2002] S. Mitra, K.S. Kim, "X-Compact, an Efficient Response Compaction Technique for Test Cost Reduction", International Test Conference, pp: 311-320, (2002).
- [Mrugalski, 2004] G.Mrugalski, A. Pogiel, J. Rajski, J. Tyszer, C. Wang, "Fault Diagnosis in Designs with Convolutional Compactors", International Test Conference, pp. 498-507, (2004).

[Girard, 1995] P. Girard, C. Landrault, S. Pravossoudovitch, "An Advanced Diagnostic Method for Delay Faults in Combinational Faulty Circuits", Journal of Electronic Testing: Theory and Applications, vol. 6, n°3, pp. 277-293, (1995).

[Hsu, 1998] Yuan Chieh Hsu, Sandeep Gupta, "A New Path-Oriented Effect-Cause Methodology to Diagnose Delay Failure", International Test Conference, pp. 758-767, (1998).

[Vendkataraman, 1997] Srikanth Vendkataraman, W. Kent Fuchs, « A Deductive Technique for Diagnosis of Bridging Fault », International Conference on Computer Aided Design, pp. 562-567, (1997).

[Fan, 2005] Xinyue Fan, Will Moore, Camelia Hora, Guido Gronthoud, "A novel Stuck-At Based Method for Transistor Stuck-Open Fault Diagnosis", International Test Conference, session 16, pp. 1-4, (2005).

[Girard, 1992a] P. Girard, C. Landrault, S. Pravossoudovitch, "A Novel Approach to Delay Fault Diagnosis", ACM Design Automation Conference, pp. 357- 360, (1992).

[Girard, 1992b] P. Girard, C. Landrault, S. Pravossoudovitch, "Delay Fault Diagnosis Based on Critical Path Tracing from Symbolic Simulation", ISCAS92, IEEE International Symposium on Circuits and Systems, vol. 3 of 6, pp.1133-1136, (1992).

[Lavo, 1998] David B. Lavo, Brian Chess, Tracy Larrabee, F. Joel Fergusson, "Diagnosing Realistic Bridging Faults with Single Stuck-At Information", IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, vol.17, n°3, pp. 255-267, March (1998).

[Engelke, 2003] Piet Engelke, Ilija Polian, Michel Renovell, Bernd Becker, "Simulating Resistive Bridging and Stuck-At Faults", International Test Conference, pp. 1051-1059, (2003).