

## Méthodologie d'estimation de l'influence de la variabilité sur un opérateur numérique

Bettina Rebaud, Marc Belleville, Christian Bernard, Michel Robert, Philippe  
Maurine

► **To cite this version:**

Bettina Rebaud, Marc Belleville, Christian Bernard, Michel Robert, Philippe Maurine. Méthodologie d'estimation de l'influence de la variabilité sur un opérateur numérique. FTFC'07: 6èmes journées d'Etudes Faible Tension Faible Consommation, May 2007, Paris, France, France. pp.N/A. lirmm-00204621

**HAL Id: lirmm-00204621**

**<https://hal-lirmm.ccsd.cnrs.fr/lirmm-00204621>**

Submitted on 15 Jan 2008

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Méthodologie d'estimation de l'influence de la variabilité sur un opérateur numérique

B. Rebaud, M. Belleville, C. Bernard, M. Robert, P. Maurine

**Résumé**—Avec la réduction des dimensions des transistors et l'accroissement de la taille des circuits, les sources de variabilité ne sont plus négligeables et doivent être considérées au plus tôt dans le flot de conception. Le concept de SSTA, analyse temporelle statique et statistique, est récemment apparu et tend à être intégré dans les outils d'aide à la conception numérique. De nombreuses études pour améliorer ce concept sont encore menées. Ce papier présente les premiers résultats de l'application d'une implémentation SSTA « basée sur les chemins » sur un opérateur numérique de type MAC Multiplicateur Accumulateur, élément critique de blocs opératifs. La vitesse de simulation SSTA est 60 fois plus rapide qu'une simulation Monte Carlo. La précision atteinte est de 10% et 20% pour les valeurs moyennes et les écarts types respectivement des performances des chemins. L'analyse de différents choix de synthèse permet d'extraire une variation ( $3\sigma/\mu$ ) moyenne de 23% en technologie 65 nm sur l'ensemble des chemins analysés avec des fluctuations faibles autour de cette valeur. L'identification et la quantification des sources d'erreurs au niveau de la caractérisation des portes permettront d'améliorer la précision de cette méthode.

**Mots clés** — Circuits numériques nanométriques, Variations de processus de fabrication, Analyse temporelle statistique et statique SSTA, Synthèse physique.

## I. INTRODUCTION

LA forte diminution des dimensions des transistors (65 nm puis 45 nm) mis en œuvre dans les circuits intégrés contraint progressivement les concepteurs à adopter de nouvelles méthodes [1]. Travailler avec des transistors ayant de telles dimensions rend la maîtrise des rendements de fabrication difficile à cause notamment de l'accroissement de l'impact des variations des procédés de fabrication. Ces variations affectent les valeurs de nombreux paramètres tels que le dopage moyen du canal des transistors, l'épaisseur d'oxyde de la grille et la longueur effective du canal des transistors. Ces trois principales sources physiques de variabilité, parmi beaucoup d'autres [2], n'ont pas les mêmes

origines et ni les mêmes conséquences sur les performances des circuits. On peut en effet classer les variations en différentes catégories : locales (intra-puce) ou globales (inter-puce) et systématiques ou stochastiques. La composante aléatoire des variations dues aux dopants prend de plus en plus d'importance et impacte essentiellement le niveau local (désappariement de transistors) tandis que les variations de longueur de transistors et d'épaisseur d'oxyde, plutôt systématiques, affectent de manière globale les performances des puces. Ces phénomènes ont des conséquences sur les paramètres électriques : variations de tension de seuil  $V_t$ , des courants de fuite, etc ... A plus haut niveau, ces variations se traduisent par l'obtention de circuits consommant plus que prévu, n'atteignant pas les spécifications en gain demandées, ou encore par des circuits ne fonctionnant pas comme attendu.

Au niveau numérique, les variations vont essentiellement affecter la vitesse maximum et les courants de fuite. Des travaux antérieurs [3,4,5] relatent d'ailleurs des effets des variations sur les performances des circuits numériques. [3] estime que les effets intra et inter puce affectent différemment les rendements de fabrication des circuits et leurs performances. En effet, dans [3], il est mis en évidence que les variations 'intra-die' affectent fortement la variance des performances et ce notamment à cause de l'accroissement du nombre de chemins critiques, alors que les variations locales affectent elles la valeur moyenne de la fréquence maximale de fonctionnement des circuits. D'autres études, telles que [5], mettent en avant l'impact de la longueur des chemins critiques sur les performances des circuits. Etant de plus en plus courts, ils sont également de plus en plus sensibles aux variations. Enfin, la plupart [3,5] proposent des évaluations de ce que seront les performances des circuits dans le futur en supposant que les méthodes de conception restent les mêmes, afin de démontrer qu'une refonte, au moins partielle, des méthodes de conception doit être envisagée.

Afin de prévoir et quantifier les variations des performances temporelles dans les circuits numériques, une méthode, appelée SSTA (Statistical Static Timing Analysis), est apparue comme une alternative prometteuse. Cette méthode, contrairement à la STA (Static Timing Analysis), clef de voûte des flots de conception actuels, fournit, non pas des performances pire et meilleurs cas, mais bien des distributions statistiques des performances temporelles.

Des outils industriels, commerciaux ou internes à des sociétés, sont en cours d'évaluation (Quartz SSTA [6], eXtreme [7], Einstat [8]) mais de nombreuses études sont

Manuscrit reçu le 9 Mai 2007.

B. Rebaud, M. Belleville et C. Bernard travaillent au CEA LETI - MINATEC, 17 rue des Martyrs, 38054, Grenoble, Cedex 9, France. (e-mails : bettina.rebaud@cea.fr, marc.belleville@cea.fr, christian.bernard@cea.fr)

M. Robert et P. Maurine travaillent au LIRMM, Univ. Montpellier 2, CNRS, 161 rue Ada, 34392, Montpellier, France. (e-mails : michel.robert@lirmm.fr, pmaurine@lirmm.fr)

encore menées [9,10]. Les concepteurs auront donc dans peu de temps accès à ce genre d'outils et devront les utiliser à bon escient lors de la conception des circuits.

Considérant que ce type d'outil sera dans le futur indispensable, il est intéressant de regarder les informations que l'on peut en tirer sur une application concrète et plus précisément, d'étudier l'impact des choix de synthèse sur les performances du circuit. Pour ce faire, nous avons choisi un circuit test : un MAC ou Multiplieur Accumulateur, élément critique d'un bloc opératif embarqué.

Cette démarche constitue la première phase d'étude de travaux dont les objectifs finaux consistent à accroître par simple conception la robustesse aux variations des circuits intégrés, et donc à augmenter le rendement de fabrication.

Ce papier décrit les travaux effectués jusqu'à présent. Une première partie expliquera brièvement les avantages et problèmes induits par l'intégration de méthodes SSTA dans un flot de conception et la méthodologie que nous avons adoptée. La seconde partie traitera de l'implantation du concept SSTA, les premiers résultats obtenus et leur précision. La troisième partie s'attachera à identifier et quantifier les principales sources d'erreurs des flots d'analyses des performances temporelles, qu'ils soient ou non statistiques. Enfin, la dernière partie dévoilera les futurs travaux à mener.

## II. ENJEUX ET METHODOLOGIE

Avec la diminution des dimensions, les incertitudes relatives sur les valeurs des paramètres deviennent de plus en plus grandes conduisant les concepteurs à considérer des marges de conception de plus en plus importantes. Le principe de la SSTA est d'estimer a priori la distribution des performances temporelles des circuits intégrés afin de mieux maîtriser l'accroissement des marges de conception.

Cette approche est à mettre en opposition avec l'approche STA, qui vise à identifier les pire et meilleur cas en fixant de manière empirique des marges de conception a priori. Ces pire et meilleur cas sont généralement fixés en considérant des conditions pessimistes ou optimistes du processus de fabrication, d'alimentation et de température de fonctionnement.

Contrairement à la STA, la SSTA ne considère pas de conditions pessimistes ou optimistes du processus de fabrication mais plutôt une distribution de celui-ci autour du processus de fabrication afin d'obtenir une distribution statistique des temps de propagation des chemins pour des conditions d'alimentation et de température données. Ainsi, espère-t-on que les performances simulées reflètent avec une bonne précision les performances obtenues après fabrication.

Outre le caractère prédictif, une analyse SSTA doit permettre d'optimiser avec plus de justesse les paramètres et critères de conception. Par exemple l'utilisation de ce nouveau concept permet de raffiner la définition de criticité d'un chemin, puisque le tri des chemins les plus critiques ne se fait plus sur des valeurs pire cas déterministes mais sur des distributions temporelles comme l'illustre la fig.1. Cette dernière montre en effet qu'une analyse pire cas ( $3\cdot\sigma$ ) conduit à identifier le chemin 2 comme le plus critique alors que la

probabilité que le chemin 1 soit critique est de 70% (corrélation de 0.9 entre les deux chemins).

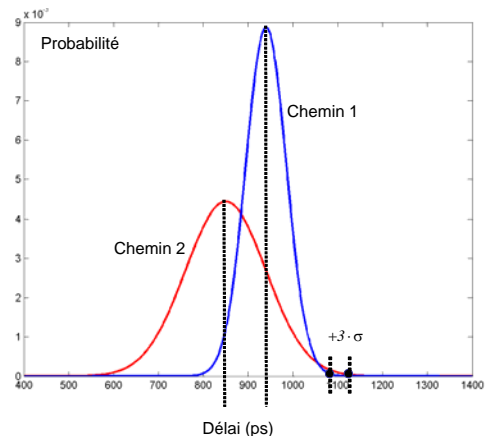


Fig. 1: Quel est le chemin le plus critique ?

Cet exemple illustre clairement que de nouvelles définitions doivent être établies. C'est ce qu'a entrepris de faire [11] en posant toute une nouvelle série de principes afin de clarifier le concept de chemin critique.

- *Méthodologie*

Afin de pouvoir d'évaluer les apports potentiels de l'approche statistique, en terme d'identification de chemins critiques et en terme de choix de synthèse nous avons :

- a) réalisé différentes synthèses, avec différentes contraintes temporelles du MAC choisi comme élément de comparaison,
- b) mis en ouvre le technique proposée dans [12] qui offre un bon compromis entre temps de simulation et précision. Plusieurs étapes ont été franchies avant d'obtenir les premiers résultats présentés en section III.

### 1) Caractérisation

La technique STA proposée dans [12] s'appuie, afin d'être compatible avec les outils STA du commerce, sur la lecture de LUT (Look Up Table) contenant des informations sur les temps de propagation et de transition de cellules standards. Les données reportées dans ces LUT dépendent du temps de transition du signal d'entrée et de la capacité présente sur la sortie des portes.

Afin de pouvoir évaluer des distributions normales, il est nécessaire de compléter ces tables par un certain nombre de données supplémentaires, et notamment les écarts types des délais de propagation et des temps de transition. Un nombre important de simulations Monte Carlo doivent donc être effectuées. Pour ce faire nous avons utilisé des cartes modèles statistiques (eldo bsim4 [13]) prenant en compte des variations inter et intra puce pour caractériser entièrement une porte logique. Cette méthode implique donc (comme l'illustre la fig.2) le doublement de toutes les LUTs présentes dans les bibliothèques de cellules .lib.

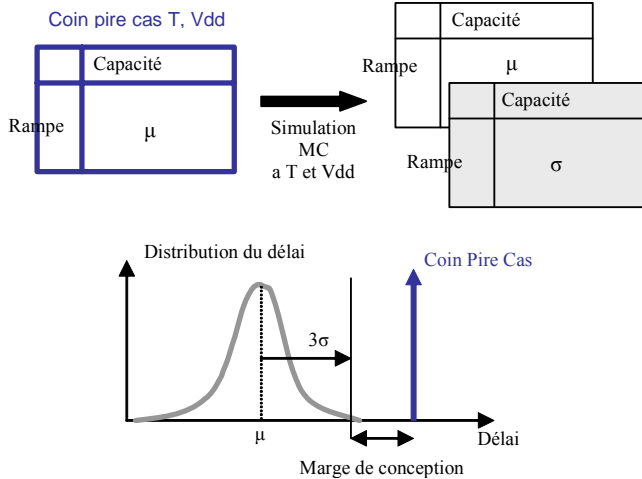


Fig. 2 : Caractérisation des cellules de la bibliothèque avec tirages Monte Carlo dans les conditions T et Vdd pire cas. Extraction de la moyenne et de la déviation standard.

## 2) Analyse SSTA

La méthode SSTA est de type 'path-based'. Chaque chemin est donc analysé indépendamment du comportement des autres chemins. Plus précisément, une seule distribution temporelle est propagée tout le long du chemin de portes analysé en considérant qu'il n'y a pas de collision de signaux. Les re-convergences de signaux ne sont donc pas considérées et seuls les chemins identifiés comme potentiellement critiques lors d'une STA classiques sont considérés.

La propagation des distributions est réalisée en calculant le produit de convolution du temps de transition en entrée avec la gaussienne du temps de propagation associé (lu dans les LUTs) puis en convoluant l'ensemble des délais des cellules pour avoir la distribution totale (1).

$$\begin{aligned}
 d_{cell\_i} &= d_{cell\_LUT} * tr\_out_{cell\_i-1} \\
 tr\_out_{cell\_i} &= tr_{cell\_LUT} * tr\_out_{cell\_i-1} \\
 d_{che\ min} &= d_{cell\_1} * \dots * d_{cell\_i} * \dots * d_{cell\_n} \quad i \in [1, n]
 \end{aligned}
 \tag{1}$$

L'indice  $Cell\_LUT$  représente une donnée lue dans les LUT.  $n$  est le nombre total de portes dans le chemin.  $d_{cell}$  la distribution du délai d'une porte.  $tr\_out$  le temps de transition en sortie de porte. Un des avantages de cette approche est de prendre en compte l'impact de la variabilité sur les temps de transition i.e. de ne pas négliger l'effet de rampe d'entrée sur la variabilité des performances.

Afin d'accélérer les calculs, une discrétisation des distributions gaussiennes est effectuée avec six échantillons ou plus suivant la précision souhaitée. Nous avons considéré six échantillons.

Cette discrétisation sert également à calibrer la méthode d'analyse sur le processus technologique du fondeur. En effet, les lois de modélisation des variations inter et intra puce ne sont pas forcément données aux concepteurs de circuits et les coefficients de corrélation entre variables sont inconnus. Le choix de bons échantillons et l'application de coefficients correctifs offrent la possibilité de faire une calibration. La

figure 3 retrace l'ensemble du flot suivi. (fig. 3).

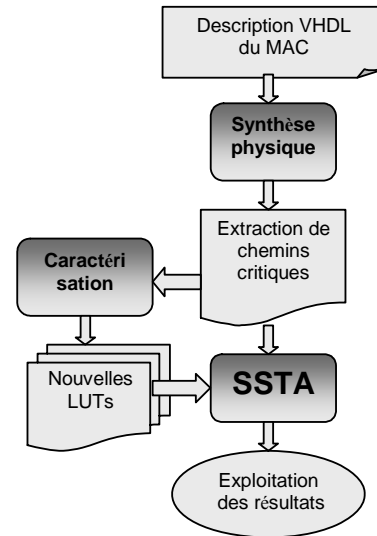


Fig. 3 : Flot de conception simplifié intégrant l'analyse SSTA.

## III. IMPLEMENTATION

### A. Mise en oeuvre

Le MAC synthétisé a une structure pipelinée à quatre étages. Il possède deux entrées de 16 bits en complément à deux et une sortie de 16 ou 24 bits selon la précision voulue.

La caractérisation a été faite sur 203 cellules de sorties différentes provenant des bibliothèques basse consommation à haute tension de seuil (HVT) et à basse tension de seuil (LVT) de STMicroelectronics. La température choisie est de 125°C et l'alimentation de 1.1V. Le simulateur niveau transistor utilisé est Eldo de Mentor Graphics [13].

Ces cellules que nous avons caractérisées, ont été choisies à partir des résultats des différentes synthèses effectuées avec le logiciel Physical Compiler de Synopsys [14], puis extraites avec le logiciel PrimeTime [15]. Afin d'accélérer le temps dévolu à la phase de caractérisation, l'outil de synthèse physique a été contraint à utiliser un jeu de cellules réduit dès le départ. Les mêmes points de caractérisation (rampe d'entrée, capacité de sortie) que les bibliothèques initiales ont été gardés.

L'implémentation de la méthode SSTA a été réalisée grâce au logiciel Matlab. Le choix des points de discrétisation a été fait grâce à un étalonnage sur une chaîne d'inverseurs à longueur variable, entre une et quarante cellules, les simulations Monte Carlo faisant office de référence. Cette calibration a été faite telle que les erreurs d'approximation concernant la déviation standard soient toujours positives.

Les synthèses en pire cas avec les mêmes conditions environnementales en alimentation et en température ont été faites sur un MAC avec les technologies HVT et LVT. Différentes contraintes ont été soumises :

- (0) HVT avec faibles contraintes de temps de cycle
- (1) HVT avec fortes contraintes de temps de cycle

- (2) HVT avec fortes contraintes de temps de cycle et bibliothèque réduites aux cellules à deux entrées
- (3) HVT avec fortes contraintes de temps de cycle et bibliothèque réduites aux cellules à deux et trois entrées
- (4) LVT avec fortes contraintes de temps de cycle

Pour les synthèses réalisées avec la technologie HVT (fortes tensions de seuil), des contraintes de temps de l'ordre de 10ns ont été considérées comme faibles, alors que des contraintes de 2ns ont été considérées comme fortes. Pour les synthèses réalisées avec la technologie LVT, les contraintes les plus fortes que nous avons considérées étaient de l'ordre de 1ns. Suite à la synthèse, nous avons mené des analyses STA et SSTA des performances temporelles. Ces dernières ayant été réalisées tant avec la méthode SSTA utilisée qu'avec des simulations Monte Carlo afin d'évaluer la méthode mise en place.

La table I reporte les erreurs constatées entre des simulations Monte Carlo et la méthode SSTA sur des jeux de chemins pris arbitrairement, en technologies HVT et LVT. Ces valeurs confirment bien des erreurs positives, allant jusqu'à 10% pour la moyenne, et 20% pour les déviations standard.

TABLE I  
PRECISION DE LA METHODE SSTA

HVT		LVT	
Erreur Moyenne	Erreur Sigma	Erreur Moyenne	Erreur Sigma
0,30%	3,02%	3,08%	7,16%
0,80%	3,48%	3,11%	7,12%
0,90%	3,53%	2,55%	2,99%
1,68%	5,70%	3,03%	7,39%
1,20%	0,63%	3,02%	8,27%
5,70%	7,75%	5,35%	1,98%
10,76%	2,32%	6,13%	6,01%
8,22%	15,46%	2,99%	14,58%

### B. Résultats

Des simulations Monte Carlo simples ont été effectuées afin d'évaluer les marges de conception introduites par les analyses pire cas et le fondeur. Plus précisément, nous avons comparé, pour des chemins critiques HVT et LVT, les différences entre les estimations de délais pire cas et les estimations de délais obtenues par simulation de Monte Carlo. La figure 4 reporte les résultats obtenus. Comme on peut le constater, les marges de conception, constatées à 90% de la tension d'alimentation nominale et à une température de 125°C, varient entre 5.5% et 7.5% de la valeur pire cas pour les 7 chemins critiques considérés.

Parallèlement, la table I illustre la précision obtenue avec la méthode SSTA. Le comparatif des résultats reportés sur la table I et la fig.4 met en évidence que la précision de la méthode SSTA doit être améliorée afin de pouvoir guider la synthèse. Plus précisément, il est nécessaire d'accroître la précision afin d'atteindre des erreurs de l'ordre de 1% sur les moyennes et 5% sur les écarts types. Il est donc nécessaire d'identifier et réduire toutes les sources d'erreurs intervenant

dans l'estimation et la propagation des délais. Nous reviendrons sur ce point dans un paragraphe ultérieur.

En terme de temps CPU, l'analyse SSTA effectuée avec Matlab sur un chemin prend entre 20 et 30 secondes (selon la profondeur logique du chemin considéré) contre 20 à 30 minutes pour une analyse Monte Carlo effectuée avec 1000 tirages seulement, soit un gain de temps d'un facteur 60.

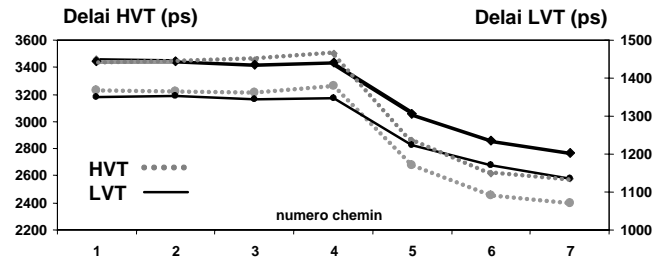


Fig. 4 : Délais de propagation (en picosecondes) pour 7 chemins critiques : simulations pire cas et simulations Monte Carlo à  $\mu+3\sigma$ .

Dans une seconde étape, des simulations Monte Carlo et SSTA ont été effectuées sur les 30 premiers chemins critiques de chacune des synthèses réalisées. Elles dénotent une évolution quasi-nulle de la variation relative des performances ( $\sigma/\mu=7.5\%$ ) avec la nature du chemin analysé. Sachant que certains de ces chemins critiques ont des valeurs moyennes très voisines, on peut donc conclure que tous les chemins critiques peuvent être, selon la distribution des caractéristiques des transistors, le chemin le plus critique du circuit.

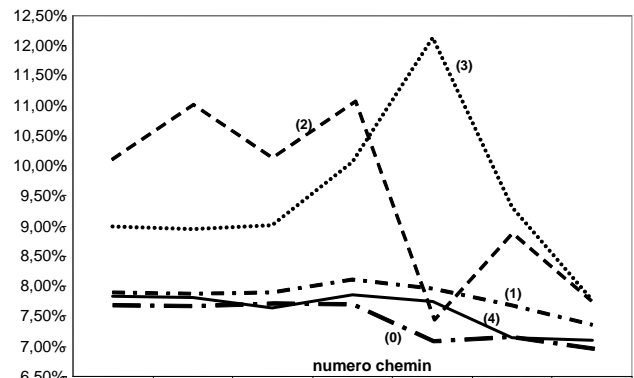


Fig. 5 : Evolution de la variation relative ( $\sigma/\mu$ ), du chemin le plus critique (n°1) jusqu'au chemin le moins critique pour différentes synthèses : HVT avec faibles contraintes de temps (0), HVT avec fortes contraintes de temps (1), HVT avec fortes contraintes de temps et bibliothèque réduite aux cellules à deux entrées (2), HVT avec fortes contraintes de temps et bibliothèque réduite aux cellules à deux et trois entrées (3), LVT avec fortes contraintes de temps (4).

Afin de confirmer ce résultat et d'illustrer les potentiels de l'approche SSTA, nous avons évalué, avec notre méthode SSTA, la distribution des performances temporelles de l'ensemble des chemins de l'opérateur. Plus précisément, nous avons calculé les distributions de délais des 30 chemins les plus critiques de chaque sortie du bloc MAC. Ceci représente environ 10000 chemins de portes différents. Des résultats sont reportés fig. 5. De manière générale et comme attendu, une première tendance se dégage : la variation relative ( $\sigma/\mu$ ) reste voisine de 8%.

Outre ce résultat, nous avons pu constater que l'utilisation d'un grand nombre de cellules dans un chemin conduit généralement à l'obtention d'une variabilité plus faible (voisine de 7%). Ceci peut être expliqué en corrélant la variabilité avec la profondeur logique des chemins : plus la profondeur logique est grande et plus la variabilité relative est basse. Toutefois, cette conclusion doit être considérée avec prudence dans la mesure où l'écart de variabilité calculée (1% en moyenne) reste faible devant la précision de la méthode SSTA. Des résultats encourageants ont cependant été obtenus. En effet, comme on peut le constater sur la fig.6, les tendances obtenues avec Eldo, pour quelques chemins, et les tendances calculées semblent être identiques.

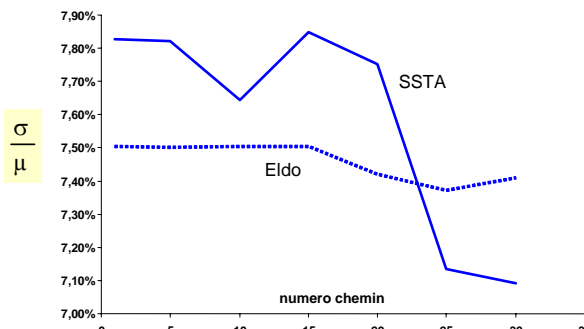


Fig. 6 : Comparaison entre la variabilité relative simulée avec la méthode SSTA et la variabilité relative simulée avec des tirages Monte Carlo.

Une autre information semble se dégager de la fig.5 : les synthèses restreintes à un jeu de cellules limité conduisent globalement à des variations relatives plus élevées. Ceci peut être expliqué par le fait que les cellules complexes sont moins sujettes aux variations que les cellules simples car elles possèdent plus de transistors, ce qui limite l'impact des variations locales sur les performances.

#### IV. SOURCES D'INCERTITUDE

Afin de valider toutes les tendances constatées sur la fig.5, il est nécessaire d'accroître encore la précision de la méthode mise en oeuvre.

La précision des résultats et la réduction des erreurs d'estimation de la variance peuvent être obtenues en améliorant la caractérisation des cellules standard, tout comme pour les STA usuelles. En effet, lors de la caractérisation des cellules, des approximations sont effectuées. Celles-ci affectent directement la précision des calculs de la distribution du délai de propagation. Parmi ces sources d'erreurs, on trouve :

- le nombre de tirages Monte Carlo,
- le nombre de points capacité de sortie / rampe d'entrée simulés (erreur d'interpolation pour la suite)
- le modèle de rampe linéaire idéale en entrée de porte
- le problème de capacité Miller en sortie de porte

Idéalement, le nombre de tirages Monte Carlo devrait être infini pour obtenir la bonne valeur de dispersion. Mais pour des raisons évidentes de temps de simulation, la caractérisation des portes se fait sur un nombre de tirages borné. Le nombre choisi ici est de  $10^3$ , ce qui correspond à une précision en déviation d'environ 3% par rapport au

résultat d'une simulation à  $10^5$  tirages (effectué sur un inverseur minimal). Ce chiffre constitue un bon compromis temps de simulation – précision.

Le nombre de points répertoriés, pour une porte, dans les tables de caractérisation a été choisi identique à celui des bibliothèques de LUT utilisées lors des analyses STA traditionnelles. Ce nombre affecte directement la précision du calcul d'interpolation : il convient donc d'en augmenter le nombre si l'on veut diminuer ces erreurs au niveau de la déviation standard. Le tableau 2 illustre la précision obtenue sur la déviation (sigma) du temps de propagation entre simulations Monte Carlo et interpolations pour des cas pris entre les points de caractérisation. Celle-ci peut monter jusqu'à 30%. Les erreurs sur les temps de transitions sont légèrement plus élevées en moyenne.

TABLE II  
ERREUR D'INTERPOLATION

Rampe d'entrée (ns)	Capacité de sortie (fF)	Déviation par Monte Carlo (ps)	Déviation par Interpolation (ps)	Erreur (%)
0,127	2,9	10,1	9,53	-5,98
0,127	6,6	12	12,55	4,38
0,127	0,088	13,65	14,3	4,55
0,127	13,4	18,67	18,95	1,48
0,255	2,9	14,7	19,21	23,48
0,255	6,6	19,09	18,19	-4,95
0,255	0,088	22,5	20,1	-11,94
0,255	13,4	23,8	24,02	0,92
0,51	2,9	50,6	38,68	-30,82
0,51	6,6	30,37	35,65	14,81
0,51	0,088	29,28	31,4	6,75
0,51	13,4	35,8	35,29	-1,45

Erreurs de déviation standard du temps de propagation pour un inverseur minimal entre le calcul par interpolation et une simulation Monte Carlo à 1000 tirages sur le point voulu.

Le modèle de rampe linéaire idéale considéré lors de la caractérisation de chaque porte diffère également de la réalité, la déviation réelle étant plus forte que la déviation idéale. Des simulations ont été effectuées sur un inverseur minimal avec une rampe idéale d'un côté, et une rampe provenant d'un autre inverseur de l'autre. Les erreurs constatées peuvent atteindre jusqu'à 10% sur la déviation standard du temps de propagation et de transition. Cette erreur engendre une sous-évaluation des temps de transition, propagation et déviations.

Enfin, le phénomène de capacité Miller affectant la valeur de la capacité d'entrée d'une porte et donc l'estimation de la capacité de sortie de chaque porte, réduit de plus en plus fortement la précision des estimations de timings. Cette source croissante d'erreurs soulève le problème difficile de la modélisation des charges vues par les portes.

#### V. PERSPECTIVES

Les prochaines études consisteront donc à raffiner le modèle implémenté pour pouvoir garantir une plus grande précision sur les déviations. Compte tenu des résultats de simulations de la partie IV, les premiers niveaux d'amélioration se situeront donc sur l'augmentation du nombre de points caractérisés et l'utilisation d'un modèle de

rampe plus précis et ce afin de réduire les erreurs d'interpolation.

Par la suite, des synthèses Multi-Vt, technique basse consommation permettant d'insérer dans les chemins les moins critiques des cellules à plus basse tension de seuil pour réduire la consommation statique, seront entreprises afin d'analyser la variabilité des chemins modifiés et leur impact sur le circuit. Des conclusions sur les méthodes de synthèse seront tirées.

Enfin, l'étude et l'analyse d'éléments opératifs autres que le MAC synthétisé initialement donneront des informations globales sur les performances de l'ensemble des fonctionnalités d'un bloc opératif.

#### BIBLIOGRAPHIE

- [1] K. Bernstein, D. J. Frank, A. E. Gattiker, W. Haensch, B. L. Ji, S. R. Nassif, E. J. Nowak, D. J. Pearson, N. J. Rohrer, "*High performance CMOS variability in the 65 nm regime and beyond*", IBM Journal of Research and Development, vol. 50, pp. 433-449, Juillet 2006.
- [2] A. Asenov, A. R. Brown, J. H. Davies, S. Kaya, G. Slavcheva, "*Simulation of intrinsic parameter fluctuations in decanometer and nanometer-scale MOSFETs*", Electron Devices, IEEE Transactions on, vol. 50, Issue 9, pp. 1837-1852, Sept 2003.
- [3] K. A. Bowman, S. G. Duvall, J. D. Meindl, "*Impact of die-to-die and within-die parameter fluctuations on the maximum clock frequency distribution for gigascale Integration*", IEEE J. Solid-State Circuits, pp. 183-190, Fev. 2002.
- [4] J. Pineda de Gyvez, R. Rodriguez-Montanes, "*Threshold voltage Mismatch Fault Modelling*" Proceedings of the 21st IEEE VLSI Test Symposium, p. 145, 2003.
- [5] M. Eisele, J. Berthold, D. Schmitt-Landsiedel, and R. Mahnkopf, "*The impact of intra-die device parameter variations on path delays and on the design for yield of low voltage digital circuits*", IEEE Transactions on VLSI Systems, 1997.
- [6] <http://www.magma-da.com/c/@jtTgqCZiv4beA/Pages/QuartzSSTA.html>
- [7] [http://www.extreme-da.com/Extreme-DA\\_UMC\\_pr\\_7\\_6\\_2006.pdf](http://www.extreme-da.com/Extreme-DA_UMC_pr_7_6_2006.pdf)
- [8] <http://www.ibm.com/> et <http://www.edn.com/article/CA605769.html>
- [9] C. S. Amin , N. Menezes , K. Killpack , F. Dartu , U. Choudhury , N. Hakim , Y. I. Ismail, "*Statistical static timing analysis: how simple can we get?*", Proceedings of the 42nd annual conference on Design automation, Juin 2005, San Diego, California, USA
- [10] C. Visweswariah, K. Ravindran, K. Kalafala, S. Walker and S. Narayan, "*First-order Incremental Block-based Statistical Timing Analysis*", Proc. 2004 DAC, pp. 331-336, Juin 2004
- [11] J. Xiong, V. Zolotov, N. Venkateswaran, C. Visweswariah, "*Criticality Computation in Parameterized Statistical Timing*", Proc.2006 DAC, pp. 63-68, Juillet 2006.
- [12] V. Migairou, R. Wilson, S. Engels, N. Azemard, P. Maurine "*Evaluation des marges temporelles de conception*", FTFC 2007, Mai 2007.
- [13] [http://www.mentor.com/products/ic\\_nanometer\\_design/custom\\_design\\_simulation/eldo/](http://www.mentor.com/products/ic_nanometer_design/custom_design_simulation/eldo/)
- [14] [http://www.synopsys.com/products/unified\\_synthesis/unified\\_synthesis.html](http://www.synopsys.com/products/unified_synthesis/unified_synthesis.html)
- [15] [http://www.synopsys.com/products/analysis/primetime\\_ds.html](http://www.synopsys.com/products/analysis/primetime_ds.html)