

Représentation Unifiée des Performances Temporelles d'une Bibliothèque de Cellules Standards

Benoit Lasbouygues, J. Schindler, Sylvain Engels, Philippe Maurine, Nadine Azemard, Daniel Auvergne

► **To cite this version:**

Benoit Lasbouygues, J. Schindler, Sylvain Engels, Philippe Maurine, Nadine Azemard, et al.. Représentation Unifiée des Performances Temporelles d'une Bibliothèque de Cellules Standards. FTFC: Faible Tension - Faible Consommation, May 2003, Paris, France. pp.119-124. lirmm-00269519

HAL Id: lirmm-00269519

<https://hal-lirmm.ccsd.cnrs.fr/lirmm-00269519>

Submitted on 21 Jun 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Représentation unifiée des performances temporelles d'une bibliothèque de cellules standards

B. Lasbouygues¹, J. Schindler², S. Engels², P. Maurine³, N. Azémard³, D. Auvergne³

¹ ISIM, Université de Montpellier II, Place E. Bataillon, 34095 Montpellier France

² STMicroelectronics Design Department 850 rue J. Monnet, 38926, Crolles, France

³ LIRMM, UMR CNRS/Université de Montpellier II, (C5506), 161 rue Ada, 34392 Montpellier, France
pmaurine, azemard, auvergne@lirmm.fr

Résumé

La caractérisation complète des performances temporelles d'une bibliothèque CMOS nécessite un très grand nombre de simulations. Elles doivent être réalisées pour chaque dimension de cellule de chaque famille logique, pour diverses conditions de rampe d'entrée, de charge, de tension d'alimentation, de température et cela pour chaque front du temps de transition et du délai de commutation. Cela implique des milliers de simulations qui ne permettent d'obtenir qu'une représentation discrète des performances, limités à quelques points de variation par cellule. En étendant un modèle de type effort logique pour décrire les performances temporelles des structures CMOS nous montrons dans ce papier qu'il est possible de définir une représentation complète et continue des performances permettant de modéliser par une seule courbe les performances d'une famille logique.

Nous décrivons la procédure de définition et de calibration des paramètres et validons cette représentation, sur une bibliothèque industrielle implantée dans une technologie CMOS 0.13 μ m, en comparant les valeurs obtenues sur ce modèle aux valeurs déduites de simulations électriques réalisées avec le modèle complet du fondeur.

Mots Clés: délai, sensibilité, température, tension d'alimentation.

1. Introduction

Dans une approche de conception industrielle, basée sur l'utilisation de cellules standard, la vérification des performances temporelles est réalisée en utilisant une méthode tabulaire. La performance de chaque porte sur un chemin, pour chaque condition de charge et de contrôle, est obtenue d'interpolations sur un ensemble de valeurs prédéfinies. Ces valeurs sont extraites de simulations électriques réalisées pour un nombre limité de conditions de charge, temps de transition à l'entrée, tension d'alimentation et température [1]. La caractérisation de chaque front du temps de transition et du délai de commutation de

chaque cellule de librairie nécessite 100 simulations. Si on considère que la dispersion du process est représentée par trois valeurs de tension d'alimentation ($V_{max}, V_{nom}, V_{min}$) et par trois valeurs de température ($T_{max}, T_{nom}, T_{min}$) il faut alors réaliser 4.500 simulations pour caractériser une fonction logique disponible avec cinq valeurs différentes de capacité d'entrée. Ce grand nombre de simulations ne permet de représenter l'espace de conception qu'avec cinq valeurs de condition de charge et de contrôle. Les conditions intermédiaires doivent alors être obtenues d'interpolations sur une caractéristique linéaire (Synopsys: $f(\tau_{IN}, C_L) = A\tau_{IN} + BC_L + C\tau_{IN}CL + D$). Dans les technologies submicroniques les temps de transition et temps de commutation présentent une variation non linéaire en fonction des conditions de charge et de contrôle. Ces variations dépendent des conditions imposées sur les chemins combinatoires. Ce domaine non linéaire doit être clairement localisé dans l'espace de conception et caractérisé avec des pas de simulation variables puis que dans cette zone l'interpolation peut conduire à des erreurs de caractérisation appréciables. Ceci est illustré sur la Fig.1 sur laquelle nous comparons la valeur du temps de transition en sortie d'un inverseur (technologie 0,25 μ m), simulée pour différentes valeurs du temps de transition à l'entrée, aux valeurs obtenues d'interpolation des tableaux de caractérisation.

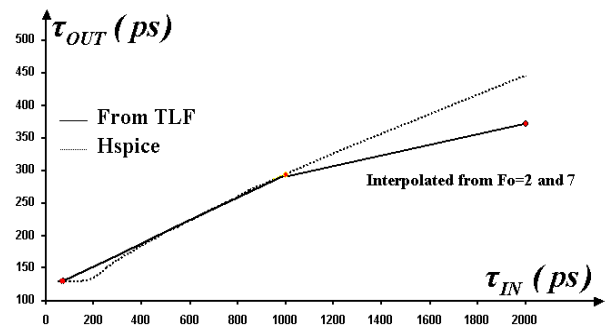


Fig.1. Erreur induite, sur la détermination du temps de transition en sortie d'un inverseur, à partir d'interpolations de valeurs tabulées.

Sur cette figure F_0 représente le domaine de charge considéré, défini comme le rapport entre les capacités de charge et d'entrée d'une structure ($F_0=C_L/C_{IN}$). Comme illustré sur la figure, les valeurs interpolées du temps de transition en sortie sont sous estimées de plus de 15%. Les plus grandes erreurs interviennent pour les plus petites valeurs de charge et de temps de transition. Ceci correspond à la partie de l'espace de conception la plus utilisée pour réaliser des circuits rapides. De plus la précision relative obtenue avec la méthode tabulaire dépend fortement de la granularité avec les valeurs de la table ont été déterminées. Cette granularité n'est pas forcément constante mais doit couvrir une partie importante du domaine de conception. Pour cela il est nécessaire d'obtenir des indicateurs pour définir la granularité des tables ainsi que pour vérifier le degré de couverture de l'espace de conception.

Dans cet article nous proposons une nouvelle représentation des performances temporelles d'une bibliothèque CMOS. Cette représentation définit la sensibilité, du temps de transition en sortie et de commutation des cellules, aux paramètres de l'espace de conception, tels que la charge, le temps de transition à l'entrée, la tension d'alimentation et la température. Le modèle de performance utilisé est représenté dans la deuxième partie. Dans la troisième partie nous détaillons la méthode de calibration à utiliser sur une technologie déterminée. Une application est démontrée dans la quatrième partie sur une technologie STM de 0,13 μ m et nous concluons dans la cinquième partie.

2. Modèle de performance temporelle

2.1 Modèle de délai de commutation de porte.

Un modèle réaliste doit refléter la sensibilité à la rampe d'entrée et doit différencier les fronts montant et descendant. Comme cela a été démontré en [2], en prenant en compte l'effet de couplage entrée-sortie sur une porte, l'effet de rampe d'entrée peut être introduit dans le délai de commutation de la façon suivante :

$$t_{HL}(i) = \frac{V_{TN}}{2} \tau_{INLH}(i-1) + \left(1 + \frac{2C_M}{C_M + C_L}\right) t_{HLstep}(i) \quad (1)$$

$$t_{LH}(i) = \frac{V_{TP}}{2} \tau_{INHL}(i-1) + \left(1 + \frac{2C_M}{C_M + C_L}\right) t_{LHstep}(i)$$

Expression dans laquelle $\tau_{INHL,LH}$ est le temps de transition du signal d'entrée généré par la porte de contrôle. C_M est la capacité de couplage entre les nœuds d'entrée et de sortie [3], qui peut être estimée à la moitié de la capacité d'entrée du transistor P (N) pour un front d'entrée montant (descendant) ou directement calibré sur des simulations électriques. Les indices (i), (i-1) identifient la position des portes sur le chemin.

2.2 Modèle de temps de transition

Le temps de transition à la sortie (définissant le temps de transition à l'entrée de la porte suivante) d'une structure CMOS [4] peut être calculé à partir d'une modélisation du courant de charge (décharge), disponible pendant la commutation, et de la quantité de charge ($C_L \cdot V_{DD}$) qui doit être échangée entre le nœud de sortie et les rails d'alimentation:

$$\tau_{outHL} = \frac{C_L \cdot V_{DD}}{I_{NMax}} \quad (2)$$

$$\tau_{outLH} = \frac{C_L \cdot V_{DD}}{I_{PMax}}$$

où C_L est la charge en sortie de la structure et V_{DD} la tension d'alimentation.

Dans cette expression la variation de la tension de sortie a été supposée linéaire et l'élément en commutation considéré équivalent à un générateur de courant constant délivrant le courant maximum disponible dans la structure. Pour évaluer le maximum courant disponible dans la structure deux conditions de contrôle doivent être considérées.

Le domaine des rampes rapides dans lequel le signal d'entrée atteint sa valeur maximale avant que la sortie varie, dans ce cas le courant a une valeur constante et maximale fournie par :

$$I_{MAX}^{Fast} = K_{N,P} \cdot W_{N,P} \cdot (V_{DD} - V_{TN,P}) \quad (3)$$

expression déduite de la représentation submicronique de Sakurai [5] en prenant $\alpha = 1$. Ici $K_{N,P}$ est un coefficient de conduction équivalent, calibré sur la technologie.

Des équations (2,3) on obtient l'expression du temps de transition pour des conditions de contrôle rapides :

$$\tau_{outHL}^{Fast} = \tau \cdot (1+k) \cdot \frac{C_L}{C_{IN}} \quad (4)$$

$$\tau_{outLH}^{Fast} = \tau \cdot \frac{(1+k)}{k} \cdot R \cdot \frac{C_L}{C_{IN}}$$

qui représente une extension du modèle de l'effort logique [6] pour des inverseurs non symétriques. τ est un délai unitaire caractéristique de la technologie, $k=W_p/W_n$ est le rapport de configuration de l'inverseur et R le rapport de vitesse entre électrons et trous.

Le domaine de rampe lente dans lequel les tensions d'entrée et de sortie varient en même temps. Le court circuit résultant entre les transistors N et P diminue la valeur du courant disponible. C'est un des principaux effets de la rampe d'entrée sur le temps de transition. En considérant les propriétés de symétrie de la variation du courant, la valeur modifiée du courant maximum disponible peut être obtenue [7] de:

$$I_{MAX}^{Slow} = \sqrt{\frac{K_{N,P} \cdot W_{N,P} \cdot V_{DD}^2 \cdot C_L}{\tau_{INHL,LH}}} \quad (5)$$

En développant l'éq.2 à partir de (4,5) permet d'obtenir l'expression du temps de transition à la descente :

$$\tau_{outHL}^{Slow} = \sqrt{\frac{(V_{DD} - V_{TN})}{V_{DD}}} \cdot \sqrt{\tau_{outHL}^{Fast} \cdot \tau_{INLH}} \quad (6)$$

avec une expression équivalente pour le front de montée.

Comme indiqué dans (4), pour une structure d'inverseur bien définie, dans le *domaine de rampe rapide*, le temps de transition à la sortie ne dépend que du rapport Capacité de charge/ capacité d'entrée de l'inverseur. Dans le *domaine de rampe lente*, le temps de transition à la sortie varie aussi avec la valeur de la rampe d'entrée.

Ce résultat est illustré sur la Fig.2 où nous représentons la variation du temps de transition en sortie d'un inverseur, pour différentes valeurs du rapport de configuration, en fonction du temps de transition en entrée τ_{IN} . Comme on peut le vérifier les valeurs du temps de transition calculées, à partir des valeurs maximales des éq. 4 et 6, sont en bon accord avec les valeurs simulées.

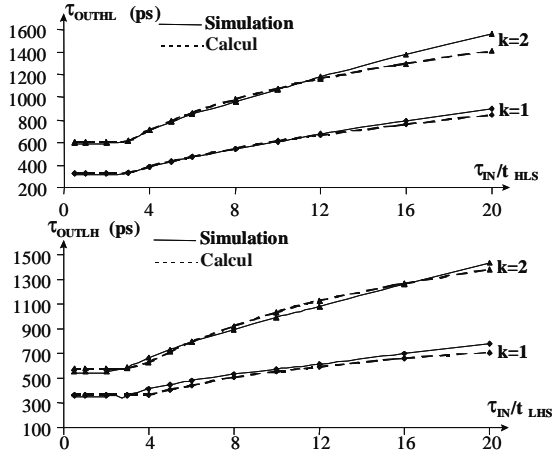


Fig.2. Sensibilité du temps de transition à la rampe d'entrée.

2.3 Extension du modèle aux portes.

Considérant les résultats de [6,7], l'extension aux portes est obtenue en réduisant chaque porte à un inverseur équivalent. Pour cela considérons la situation pire cas. La possibilité en courant d'un réseau parallèle de transistors N(P) est évaluée au maximum de courant d'un inverseur ayant des transistors de même dimension. Un réseau série est modélisé [7] comme un générateur de courant contrôlé ayant une capacité en courant réduite par un facteur $DW_{HL,LH}$. Ce facteur de réduction est défini par le rapport entre le courant disponible dans un inverseur et celui du réseau série de même dimension.

$$DW_{HL,LH}^{Fast,Slow} = \frac{I_{N,P}^{Fast,Slow}(Inv)}{I_{N,P}^{Fast,Slow}(Gate)} \cdot \frac{W_{N,P}(Inv)}{W_{N,P}(Gate)} \quad (7)$$

Nous donnons ici l'expression complète prenant en compte la différence d'edimensions des transistors. DW correspond ici à la forme explicite de l'effort logique de [6]. Remarquons que, pour une porte donnée, ce facteur varie en fonction du domaine de rampe et du rang de l'entrée contrôlée. Une illustration de cette variation est donnée sur la figure 3 pour un Nand3.

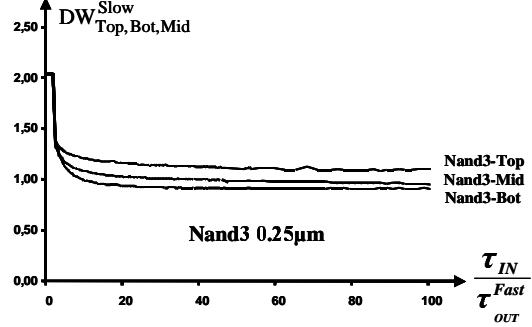


Fig.3. Variation du facteur de réduction d'un Nand3, en fonction du rang de l'entrée contrôlée et de la rampe d'entrée.

En combinant les équations 6 et 7 on obtient l'équation générique du temps de transition d'une porte :

$$\begin{aligned} \tau_{outHL}^{Fast,Slow} &= \tau_{HL}^{Fast,Slow}(Inv) \cdot DW_{HL}^{Fast,Slow} \\ \tau_{outLH}^{Fast,Slow} &= \tau_{LH}^{Fast,Slow}(Inv) \cdot DW_{LH}^{Fast,Slow} \end{aligned} \quad (8)$$

2.3 Sensibilité à la tension d'alimentation

L'équation 4 montre clairement que τ représente le temps de transition en sortie d'un inverseur idéal (sans capacité parasite), réalisé avec des transistors identiques et chargés par un inverseur identique. En développant l'éq.4 à partir des éq. 2 et 3 on obtient :

$$\begin{aligned} \tau &= \frac{C_{ox} \cdot L}{K_N} \cdot \left(\frac{V_{DD}}{V_{DD} - V_{TN}} \right) \\ R &= \frac{K_N}{K_P} \cdot \left(\frac{V_{DD} - V_{TN}}{V_{DD} - V_{TP}} \right) \end{aligned} \quad (9)$$

Comme indiqué ces deux termes explicitent la sensibilité, en fonction de la tension d'alimentation et de la température, du temps de transition et du délai de commutation (1).

2.4 Sensibilité en température.

La sensibilité à la température peut être introduite dans le modèle en considérant la variation en température de la mobilité et de la tension de seuil [8,9], soit :

$$K_{\theta} = K_{nom} \cdot \left(\frac{\theta_{nom}}{\theta} \right)^{XT} \quad (10)$$

$$V_T(\theta) = V_{Tnom} - \delta(\theta - \theta_{nom})$$

Dans ces expressions K et V_T représentent, respectivement, le facteur de conduction et la tension de seuil, θ_{nom} , Θ représentent la température

nominale et la valeur considérée, X_T et δ sont les coefficients de variation, de la mobilité et de la tension de seuil, avec la température.

En couplant les éq.9 et 1à on obtient l'expression de la sensibilité de τ à la tension d'alimentation et la température :

$$\frac{\tau(V_{DD}, \theta)}{\tau_{nom}} = \left(\frac{\theta}{\theta_{nom}} \right)^{XT} \left(\frac{V_{DD}}{V_{DDnom}} \right) \cdot \frac{1}{\frac{V_{DD} - V_{Tnom} + \delta(\theta - \theta_{nom})}{V_{DDnom} - V_{Tnom}}} \quad (11)$$

dans laquelle les différents paramètres peuvent être directement déterminés de conditions de simulations spécifiques que nous déterminerons dans la partie suivante.

3. Représentation des performances et calibration.

3.1 Représentation unifiée.

Examinons, par exemple, le cas de fronts montants appliqués sur l'entrée d'un inverseur. Comme cela peut être déduit de (4,6,8), dans le domaine des rampes rapides, τ_{out}^{Fast} est caractéristique de la structure de la porte et de sa charge. Considérons la sensibilité des différentes expressions à la rampe d'entrée, τ_{out}^{Fast} peut être utilisé comme référence interne du temps de transition de la structure considérée. Dans ces conditions nous pouvons écrire :

$$\frac{\tau_{outHL}}{\tau_{outHL}^{Fast}} (Inv) = \text{Max} \left[\sqrt{\frac{V_{DD} - V_{TN}}{V_{DD}}} \cdot \sqrt{\frac{\tau_{INLH}}{\tau_{outHL}^{Fast}}} \right] \quad (12)$$

Cette expression montre qu'en normalisant le temps de transition par rapport à τ_{out}^{Fast} , utilisé comme une référence, l'expression résultante ne dépend que du temps de transition à l'entrée, elle est indépendante de la valeur de la charge et du rapport de configuration. Des résultats similaires peuvent être obtenus pour des portes et pour représenter la variation du temps de propagation.

Ces résultats sont illustrés sur la Fig.4 où nous représentons, en utilisant τ_{out}^{Fast} comme référence, la variation du temps de transition, représentée sur la Fig.1, pour la famille complète d'inverseurs d'une bibliothèque 0,25 μ m.

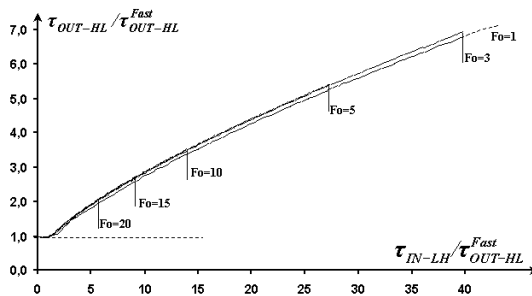


Fig.4.Représentation unifiée de la variation du temps de transition, pour une famille de 7 inverseurs réalisés dans une technologie 0,25 μ m.

Comme attendu toutes les courbes se recouvrent sur une seule, représentant la variation globale du temps de transition en sortie en fonction du temps de transition à l'entrée. Pour chaque cellule spécifique la valeur finale est ensuite directement obtenue en évaluant τ_{out}^{Fast} de l'éq.4, qui contient l'information relative à la structure et à la charge.

3.2 Méthode d'extraction des paramètres.

Des équations précédentes et en se référant aux Fig. 3 et 4 il apparaît que le temps de transition en sortie et le temps de propagation des portes d'une bibliothèque peuvent être caractérisés au moyen d'un jeu réduit de simulations.

- a) La valeur de τ est obtenue du temps de transition en sortie τ_{HL} (front descendant) d'un inverseur fortement chargé (ayant un rapport de configuration connu), contrôlé par une rampe rapide ($\tau_{IN} < \tau_{OUT}$).
- b) R est obtenu de la valeur du rapport τ_{LH}/τ_{HL} .
- c) Pour une faible valeur de la charge, la variation apparente de τ détermine les valeurs de C_{par} et C_M .
- d) Dans le domaine des rampes lentes ($\tau_{IN} > \tau_{OUT}$), la simulation à charge constante pour différentes valeurs de τ_{IN} détermine la sensibilité à la rampe d'entrée (6).
- e) En utilisant l'inverseur comme référence les paramètres k et DW d'une porte sont directement déterminés du rapport τ_{Gate}/τ_{Inv} .
- f) L'éq.9 détermine complètement la sensibilité du temps de transition à la tension d'alimentation.
- g) Les paramètres de température, XT et δ sont obtenus des étapes précédentes réalisées à différentes températures.

4. Application à une bibliothèque 0.13 μ m.

Nous avons appliqué cette méthode à la bibliothèque 0,13 μ m de STM. L'objectif est d'obtenir une caractérisation continue des performances temporelles avec une bonne définition de l'espace de conception (domaine de rampe rapide et lent), incluant la sensibilité à la tension d'alimentation et à la température. Dans une première étape, nous avons considéré un jeu de portes simples: Inverseur avec sept valeurs de capacité d'entrée, Nand, Nor à deux et trois entrées et cinq valeurs de capacité d'entrée. Les performances temporelles de tous ces éléments (temps de transition, délai de commutation) ont été préalablement obtenues de simulations électriques. Ces performances sont disponibles dans des tableaux

(TLF, STF) qui fournissent pour chaque front du temps de transition et du délai de commutation de chaque élément, pour trois valeurs de température et de tension d'alimentation, les performances correspondantes pour cinq valeurs différentes de la charge de sortie et du temps de transition à l'entrée.

En suivant la procédure décrite dans la troisième partie nous avons déterminé, des valeurs disponibles dans les tableaux, la valeur des différents paramètres technologiques. Sur les figures 5 à 8 nous avons représenté les variations du temps de transition et du délai de commutation de chaque famille logique. Comme illustré la variation des performances de chaque élément d'une même famille peut être représentée par une seule courbe décrite par une des équations précédentes.

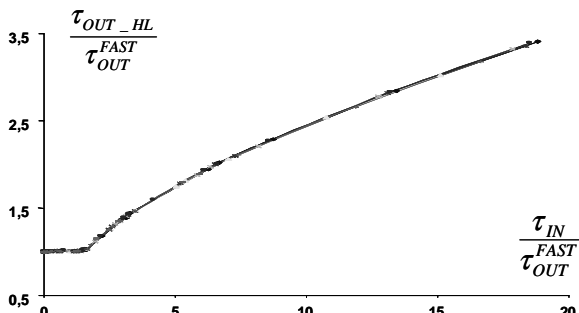


Fig.5. Variation du temps de transition d'une famille de 7 inverseurs réalisés dans une technologie 0.13µm.

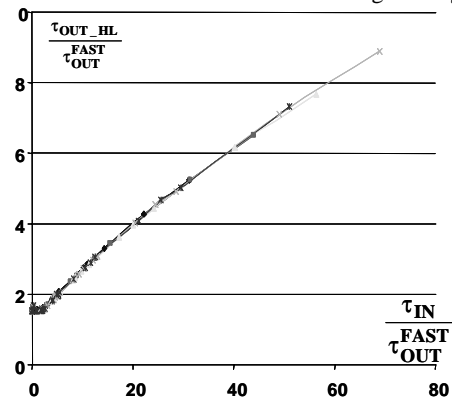


Fig.6. Variation du temps de transition d'une famille de 5 Nand2 réalisés dans une technologie 0.13µm.

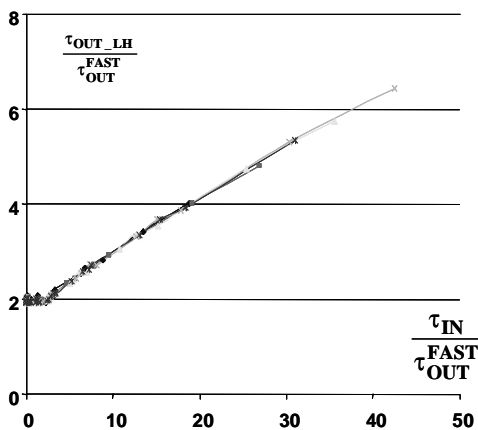


Fig.7. Variation du temps de transition d'une famille de 5 Nor2 réalisés dans une technologie 0.13µm.

Dans le tableau 1 nous comparons la sensibilité de τ à la tension d'alimentation et à la température, calculées d'après (9,12), aux valeurs déduites des valeurs simulées dans les tableaux. Comme on peut l'observer sur ce tableau nous obtenons un très bon accord entre les valeurs calculées et simulées, sur tout le domaine de tension et de température considéré. Ces variations sont complètement représentées par (12) :

$$\frac{\tau(V_{DD}, \theta)}{\tau} = \left(\frac{\theta}{298} \right)^{1.65} \cdot \left(\frac{V_{DD}}{1.2} \right) \cdot \frac{1}{V_{DD} - 0.62 + 2 \cdot 10^{-3}(\theta - 298)} \cdot 0.58 \quad (13)$$

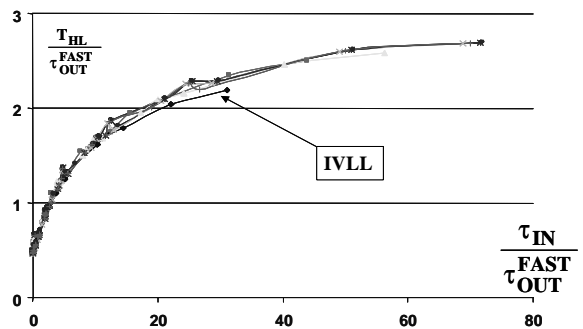


Fig.8. Variation du délai de commutation d'une famille de 7 inverseurs réalisés dans une technologie 0.13µm.

τ		$V_{DD}(V)$						
		1.08		1.2		1.32		
Temp. (°K)		Model	Simul	Model	Simul	Model	Simul	
		233	4.26	3.92	3.86	3.56	3.02	3.3
		298	4.59	4.56	4.05	4.05	3.69	3.66
	398	5.16	5.45	4.85	4.93	4.62	4.58	

Tableau 1. Variation du paramètre technologique τ , en fonction de la tension d'alimentation et de la température.

2. Conclusion

En utilisant une extension du modèle de l'effort logique, basée sur des considérations physiques de l'espace de conception, nous avons défini une représentation simple mais précise des performances temporelles de portes simples CMOS. Ce modèle prend aussi en compte la sensibilité à la tension d'alimentation et à la température des ces performances. Nous avons introduit une nouvelle représentation de ces performances permettant de modéliser, par une seule courbe, la sensibilité à la charge et au temps de transition d'une famille logique complète. Nous avons défini une méthode de calibration des paramètres de cette représentation, qui a été complètement validée sur une technologie 0,13µm, pour différentes valeurs de la tension d'alimentation et de la température.

L'extension de cette représentation aux portes complexes est en développement.

Bibliographie

- [1] Cadence open book "Timing Library Format References" User guide, v. IC445, 2000
- [2] K. O. Jeppson, "Modeling the influence of the transistor gain ratio and the input-to-output coupling capacitance on the CMOS inverter delay", IEEE J. Solid State Circuits, vol.29, pp.646-654, 1994.
- [3] J. Meyer "Semiconductor Device Modeling for CAD" Ch. 5, Herskowitz and Schilling ed. mc Graw Hill, 1972.
- [4] C. Mead and L. Conway, "Introduction to VLSI systems", Reading MA: Addison Wesley 1980.
- [5] T. Sakurai and A.R. Newton, "Alpha-power model, and its application to CMOS inverter delay and other formulas", J. of Solid State Circuits vol.25, pp.584-594, April 1990
- [6] I. Sutherland, B. Sproull, D. Harris, "Logical Effort: Designing Fast CMOS Circuits", Morgan Kaufmann Publishers, INC., San Francisco, California, 1999.
- [7] P. Maurine, M. Rezzoug, N. Azémard, D. Auvergne "Transition time modeling in deep submicron CMOS" IEEE trans. on Computer Aided Design, Vol.21, n°11, pp.1352-1363, nov. 2002.
- [8] S. M. Sze, 'Physics of Semiconductor Devices', New York, Wiley, 1983.
- [9] J. A. Power et al, 'An Investigation of MOSFET Statistical and Temperature Effects', Proc. IEEE 1992 Int. Conference on Microelectronic Test Structures, Vol. 5, March 1992.