



Dimensionnement de Portes CMOS Sous Contrainte de Délai

Alexandre Verle, Xavier Michel, Philippe Maurine, Nadine Azemard, Daniel Auvergne

► **To cite this version:**

Alexandre Verle, Xavier Michel, Philippe Maurine, Nadine Azemard, Daniel Auvergne. Dimensionnement de Portes CMOS Sous Contrainte de Délai. FTFC: Faible Tension - Faible Consommation, May 2003, Paris, France. pp.111-117. lirmm-00269522

HAL Id: lirmm-00269522

<https://hal-lirmm.ccsd.cnrs.fr/lirmm-00269522>

Submitted on 11 Sep 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Dimensionnement de portes CMOS sous contrainte de délai

A. Verle, X. Michel, P. Maurine, N. Azémard, D. Auvergne
LIRMM, UMR CNRS/Université de Montpellier II, (C5506),
161 rue Ada, 34392 Montpellier, France

Résumé

Cet article adresse le problème de la distribution de contrainte de délai sur un chemin combinatoire CMOS. Nous définissons d'abord une méthode de détermination des limites de délai réalisables, caractérisant la structure. Ensuite nous définissons deux méthodes de distribution de contraintes que nous comparons à la méthode de distribution régulière de délais et aux résultats d'optimisation obtenus avec un outil industriel basé sur l'algorithme de Newton-Raphson. La validation est obtenue sur un process CMOS 0,25µm en comparant les différentes méthodes de distribution sur des circuits test.

Mots Clés: contrainte, dimensionnement, faible surface

1. Introduction

Le dimensionnement optimal de portes a pour objectif de satisfaire une contrainte de délai avec le meilleur coût surface/puissance. Il faut, pour cela, considérer un autre paramètre qui est la faisabilité d'une contrainte imposée sur un chemin. Il est alors nécessaire de déterminer des indicateurs permettant d'explorer l'espace de conception, de façon à pouvoir sélectionner parmi les techniques d'optimisation telles que le dimensionnement, l'insertion d'inverseurs ou la réassignation technologique. Le but de cet article est double : définir les limites de performance de délai réalisables sur un chemin et déterminer une méthode de distribution de la contrainte en délai avec le meilleur coût surface/puissance.

Le problème du dimensionnement des transistors a été largement étudié au moyen de méthodes de programmation linéaire [1] ou d'heuristiques basées sur des modèles temporels simplifiés [2]. Récemment dans une application pédagogique du modèle de τ [3], Sutherland [4], décrivant le délai d'une porte comme le produit d'efforts logique et électrique, a proposé de minimiser le délai d'un chemin en imposant un effort constant, c.à.d. un délai égal, à tous les éléments d'un chemin.

Cette méthode de choix des dimensions d'une porte peut être démontrée mathématiquement exacte [3] pour un chemin sans charge externe (sans capacité parasite ni branche de divergence) constitué de portes idéales. Cependant cette distribution homogène de délai n'est pas optimale que ce soit en terme de délai

ou en terme de surface pour un chemin réel, sur lequel les branches de divergence et les interconnexions ont une contribution appréciable. En définissant l'espace de conception en termes de valeurs maximales et minimales de délais réalisables sur un chemin, nous proposons une méthode d'exploration du domaine de conception permettant une distribution efficace, en terme de surface/puissance, des contraintes de délai sur un chemin combinatoire.

La détermination des limites de délai et la méthode de distribution des contraintes sont basées sur un modèle réaliste de délai [5], qui dépend du temps de transition du signal appliqué à l'entrée de chaque porte, et différencie les fronts montant et descendant. Ce modèle est brièvement présenté dans la deuxième section. Dans la section 3 nous définissons les limites de délai réalisables sur un chemin. Différentes approches de distribution de contrainte de délai sont examinées dans la quatrième section et comparées dans la section 5 sur différents circuits test de complexité croissante. La conclusion sur ce travail est finalement présentée dans la section 6.

2. Modélisation du délai d'une porte

Comme précédemment indiqué, le dimensionnement au niveau physique impose d'utiliser un calcul réel des valeurs de délai prenant en compte la valeur finie des temps de transition des signaux contrôlant l'entrée d'une porte. En suivant le modèle développé en [5] nous introduisons l'effet de rampe d'entrée et le couplage entrée-sortie d'une porte dans le modèle de délai par :

$$t_{HL}(i) = \frac{v_{TN}}{2} \tau_{INLH}(i-1) + \left(1 + \frac{2C_M}{C_M + C_L}\right) t_{HLstep}(i) \quad (1)$$

$$t_{LH}(i) = \frac{v_{TP}}{2} \tau_{INHL}(i-1) + \left(1 + \frac{2C_M}{C_M + C_L}\right) t_{LHstep}(i)$$

où $v_{TN,P}$ représente la valeur réduite ($V_{TN,P}/V_{DD}$) de la tension de seuil des transistors N et P, $\tau_{INHL,LH}$ est le temps de transition du signal d'entrée, pris égal à deux fois la réponse indicielle de la porte de contrôle. C_M est la capacité de couplage entre les nœuds d'entrée-sortie. Les indices (i), (i-1), identifient les portes en commutation et les portes controlantes.

D'après [2] la réponse indicielle de chaque front est définie par l'intervalle de temps nécessaire pour charger (décharger) la capacité de sortie d'une porte sous le courant maximum disponible dans la structure :

$$t_{HLstep} = \frac{C_L \cdot \Delta V}{I_{NMax}} \quad (2)$$

$$t_{LHstep} = \frac{C_L \cdot \Delta V}{I_{PMax}}$$

D'après [3], l'évaluation de cette réponse indicielle sur une porte logique, fournit:

$$t_{HLstep} = \tau \cdot S_{HL} \cdot \frac{C_L}{C_{IN}} \quad (3)$$

$$t_{LHstep} = \tau \cdot S_{LH} \cdot \frac{C_L}{C_{IN}}$$

Dans cette expression τ représente une unité temporelle caractéristique du procédé technologique. C_{IN} , la capacité d'entrée d'une porte, est définie en fonction du rapport de configuration ($k=W_P/W_N$) entre les transistors N et P. Pour simplifier, le facteur S (effort logique de [3]) prend en compte toutes les différences de possibilité en courant des transistors équivalents au réseau de transistors P et N. La valeur de S dépend du rapport de configuration et caractérise, pour chaque front du signal de sortie, le rapport des courants disponibles dans un inverseur et une porte de même dimension.

Finalement, pour un réseau de portes, le délai sur le chemin correspondant peut être simplement obtenu de (1) et (3) sous une représentation posynomiale, indépendante de la technologie :

$$\frac{t_{HL,LH}}{\tau} = \theta = S'_1 \cdot \frac{C_2 + C_{P1}}{C_1} + \dots + S'_{i-1} \cdot \frac{C_i + C_{Pi-1}}{C_{i-1}} \quad (4)$$

$$+ S'_i \cdot \frac{C_{i+1} + C_{Pi}}{C_i} + \dots + S'_n \cdot \frac{C_L}{C_n}$$

où les S' englobent les effets de rampe et de couplage entré-sortie. C_i représente la capacité d'entrée de la porte et C_{pi} la capacité parasite totale connectée sur sa sortie, qui inclut la charge d'interconnexion et celle due aux branches de divergence.

3. Définition des limites de délai

Nous considérons des chemins combinatoires réalistes sur lesquels deux paramètres sont connus :

- la charge de sortie de la dernière porte qui est déterminée par la capacité d'entrée du registre de sortie,

- la capacité d'entrée de la première porte qui est imposée par les conditions de charge du registre d'entrée.

Dans ces conditions le délai du chemin est borné. Ces limites peuvent être déterminées en considérant que le

délai d'un chemin (4) est une fonction convexe de la capacité d'entrée des portes. Ce résultat est illustré sur la Fig.1 qui représente la sensibilité, du délai au dimensionnement, d'un chemin combinatoire constitué de 13 portes.

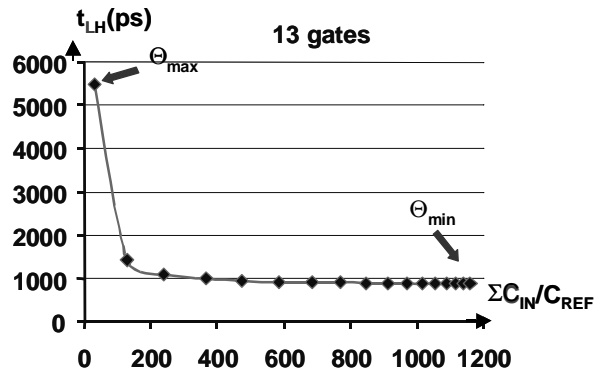


Fig.1. Illustration de la sensibilité du delay d'un chemin au dimensionnement.

Comme illustré le délai varie d'une valeur maximale, obtenue quand tous les transistors ont une dimension minimale, à une valeur minimale que nous allons déterminer. Remarquons que la valeur maximale obtenue est une valeur "raisonnable", il est toujours possible d'obtenir une valeur plus grande en chargeant des portes minimales avec des portes de surface très importante, mais cela ne correspond pas à une solution de dimensionnement utilisable. Cette courbe illustre la définition de l'exploration de l'espace de conception :

- près de la valeur maximale du délai, Θ_{Max} , la sensibilité de la porte au dimensionnement est très importante, une faible variation de la capacité d'entrée produit une variation importante de délai,

- au contraire, près du minimum Θ_{Min} , la sensibilité est très faible et dans ce domaine toute amélioration de délai est très coûteuse en surface/puissance.

Evaluer la faisabilité d'une contrainte Θ_c impose de comparer sa valeur à celle des limites précédentes. Si la valeur de Θ_c est proche du maximum la contrainte pourra être réalisée facilement en dimensionnant les transistors. Sinon il sera préférable de modifier la logique ou d'insérer des inverseurs [6]. Définissons la valeur de ces limites. Comme précisé plus haut, pour Θ_{Max} , nous utilisons la valeur "raisonnable" obtenue quand toutes les portes sont implantées avec des transistors de dimension minimale. Pour déterminer la limite inférieure, Θ_{Min} , nous utilisons la propriété posynomiale [7] de (6). En annulant la dérivée de (4) par rapport aux capacités d'entrée des portes C_i , nous obtenons un ensemble d'équations liées tel que :

$$S'_{i-1} \cdot \frac{C_i}{C_{i-1}} - S'_i \cdot \frac{C_{i+1} + C_{Pi}}{C_i} = 0 \quad (5)$$

$$S'_i \cdot \frac{C_{i+1}}{C_i} - S'_{i+1} \cdot \frac{C_{i+2} + C_{Pi+1}}{C_{i+1}} = 0 \dots$$

En procédant de la sortie vers l'entrée la valeur minimale du délai peut alors être obtenue en dimensionnant les cellules par :

$$C_i^2 = \frac{S_i}{S_{i-1}} \cdot C_{i-1} \cdot (C_{i+1} + C_{Pi}) \quad (6)$$

Ceci fournit un ensemble de n équations liées que l'on peut résoudre facilement par itérations à partir d'une solution initiale obtenue en considérant que les C_{i-1} sont connus et définis par une capacité de référence C_{REF} , dont la valeur peut correspondre à la valeur minimale disponible dans la bibliothèque ou égale à n'importe quelle valeur.

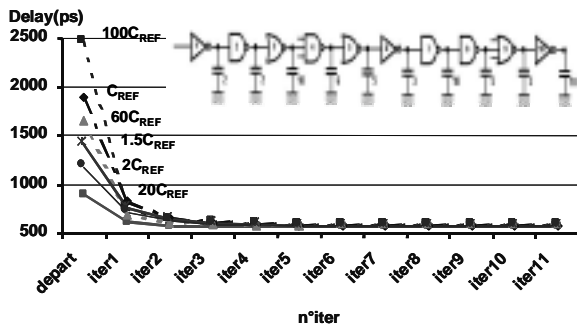


Fig. 2. Illustration de la recherche du minimum de délai sur un réseau de 10 portes, pour différentes valeurs de la capacité de référence; la valeur de la capacité de charge de chaque porte est donnée en unité de C_{REF} .

Comme indiqué sur la Fig.2, quelle que soit la valeur initiale de la capacité C_{i-1} de la porte de contrôle, il suffit d'un petit nombre d'itérations pour obtenir une convergence rapide vers la valeur minimale du délai que l'on peut obtenir sur le réseau.

4. Distribution de contrainte

Ayant déterminé les limites possibles de variation de délai sur une configuration de chemin, l'étape suivante est d'évaluer la faisabilité d'une contrainte appliquée sur le chemin. La méthode de l'effort constant ou d'égale valeur de délai sur un chemin [4,8], fournit une solution aisée pour choisir la dimension des cellules de chaque étage. Cependant pour des configurations réelles cette méthode ne fournit pas une solution optimale et conduit souvent à surdimensionner les structures. A cause de cela nous proposons deux techniques de choix des dimensions des portes sous contrainte de délai, que nous comparerons dans la partie suivante à la méthode de distribution égale de contraintes.

Afin de définir la première méthode, remarquons qu'imposer une contrainte de délai égale aux portes ayant une valeur importante de l'effort logique (S_i) impose un surdimensionnement de ces portes. Considérant que la détermination de la limite inférieure de délai fournit la distribution relative de délai sur le chemin qui est la plus rapide, il est alors possible d'utiliser cette distribution pour définir, pour

chaque porte, un poids ou gain Θ_i relatif à cette distribution $\Theta_{Min} = \sum_i \Theta_{Mini}$. Dans ce cas nous proposons de distribuer la contrainte de délai Θ_c sur le chemin, en utilisant une pondération définie sur la distribution correspondant au minimum de délai, par :

$$\theta_i = \frac{\theta_{Mini} \cdot \theta_c}{\sum_i \theta_{Mini}} \quad (7)$$

Ainsi, en progressant de la sortie vers l'entrée du chemin, (7) permet d'obtenir directement la valeur de Θ_i qui détermine la dimension de chaque porte à partir des eq. (1,3).

La deuxième méthode, dite d'égale sensibilité, est directement déduite de (5). Nous imposons à chaque porte du chemin d'avoir la même sensibilité au dimensionnement, en résolvant :

$$S_{i-1} \cdot \frac{C_i}{C_{i-1}} - S_i \cdot \frac{C_{i+1} + C_{Pi}}{C_i} = a \quad (8)$$

$$S_i \cdot \frac{C_{i+1}}{C_i} - S_{i+1} \cdot \frac{C_{i+2} + C_{Pi+1}}{C_{i+1}} = a \dots$$

où "a" est une constante de valeur négative, qui représente la valeur de la pente à la courbe de la Fig.3, qui illustre la variation du délai entre les limites précédemment définies. En procédant de la même façon que précédemment, la dimension des portes, satisfaisant une contrainte appliquée sur le chemin, est obtenue par solutions itérées de (8), en utilisant comme solution initiale le dimensionnement défini pour Θ_{Max} , c'ad C_{REF} .

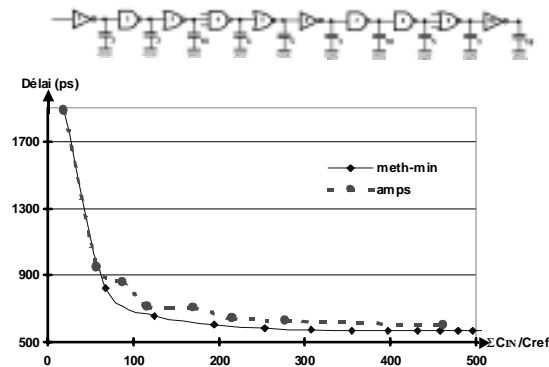


Fig.3.Exploration de l'espace de conception en imposant une contrainte de sensibilité constante.

Les différents points de la courbe ont été obtenus de (8) en faisant varier la valeur de "a" jusqu'à 0 pour obtenir le minimum.

Comme attendu, pour une valeur imposée "a" de la sensibilité au dimensionnement, la courbe représente le lieu des solutions à délai minimum. En faisant varier la valeur de "a" on obtient la possibilité d'explorer l'espace de conception et de déterminer la solution de dimensionnement à surface minimale, satisfaisant la contrainte. Comme illustré sur la Fig.3 les résultats calculés sont comparés aux solutions fournies par un outil d'optimisation industriel (Amps

de Synopsys) qui fournit une exploration très voisine mais toujours au dessus de la courbe précédente.

5. Validation

Afin de valider ces techniques de dimensionnement et de distribution de contrainte de délai, nous avons comparé sur différents chemins test les valeurs minimales de délais et les surfaces obtenues, en utilisant les trois méthodes examinées:

- égale distribution des délais ($\Theta_i = \Theta_c/n$), où n représente le nombre d'étages,
- distribution pondérée (7),
- égalité de la sensibilité des portes (8).

et en utilisant un outil industriel basé sur l'algorithme de Newton-Raphson (9) (Amps de Synopsys).

Ces circuits test sont constitués de réseaux de portes ayant des conditions de charge différentes. Leur structure est donnée dans le Tableau 1, dans lequel la charge en sortie de chaque porte, C_p , est normalisée par rapport à C_{REF} ($C_{REF} = 3,5fF$).

La comparaison des valeurs minimales de délai est donnée dans le Tableau 2, pour différents chemins. Le process utilisé est le $0.25\mu m$ de STM, avec $\tau = 7,05ps$. Comme indiqué la valeur la plus faible de délai est obtenue avec les méthodes pondérées et d'égale sensibilité. Ceci confirme la méthode utilisée pour déterminer la valeur de la limite inférieure de délai atteignable sur un chemin. Il faut remarquer qu'autour de ce minimum le coût en surface est très important et dans ce cas cette valeur doit plus être considérée comme un indicateur de faisabilité que comme un objectif à atteindre.

L'étape suivante est de comparer, pour une contrainte de délai imposée, la surface d'implantation obtenue avec les différentes méthodes. Pour cela nous imposons aux différents circuits test une contrainte de délai définie entre les limites précédemment établies. Nous comparons sur le Tableau 3 les surfaces correspondant au dimensionnement des portes permettant, en appliquant les différentes techniques de distribution, de satisfaire la contrainte imposée. Nous pouvons vérifier que, si pour une faible contrainte les différentes techniques fournissent des surfaces équivalentes, pour des contraintes beaucoup plus restrictives la méthode d'égale sensibilité (A) permet de satisfaire la contrainte avec une surface bien plus faible que celle obtenue avec les autres techniques. La distribution pondérée (B) fournit une surface à peu près équivalente, mais la distribution égale de délai (C) et Amps (D) conduisent pour des chemins complexes à des surfaces beaucoup plus importantes. Pour certaines valeurs de contraintes ces deux dernières techniques n'obtiennent pas de solution (xxx). Une illustration de ces résultats est donnée sur la Fig.4 qui représente, pour le chemin VER31, l'exploration complète de l'espace de

conception en utilisant les différentes méthodes de distribution de contrainte.

On peut aisément vérifier que pour des contraintes imposées $\Theta_c < \Theta_{Max}/2$, le gain en surface (puissance) obtenu, avec la méthode d'égale sensibilité, est appréciable.

6. Conclusion

En utilisant un modèle simple mais réaliste du délai de portes combinatoires, nous avons déterminé une méthode de caractérisation de la faisabilité d'une contrainte de délai à imposer sur un chemin. Nous avons défini les limites maximales (raisonnables) et minimales de la valeur du délai sur un chemin. Nous avons ensuite proposé deux techniques permettant de satisfaire une contrainte : la méthode d'égale sensibilité et la méthode pondérée qui est une méthode de budgétisation. Nous avons appliqué ces méthodes à différents circuits test avec différentes conditions de contraintes et comparé la surface des différentes implantations à celle obtenue avec une méthode d'égale distribution de délai ou obtenue à partir d'un outil d'optimisation industriel. Si pour une contrainte lâche les différentes méthodes apparaissent équivalentes, pour des valeurs proches du minimum les méthodes proposées permettent toujours d'obtenir une solution avec une économie importante de surface/puissance.

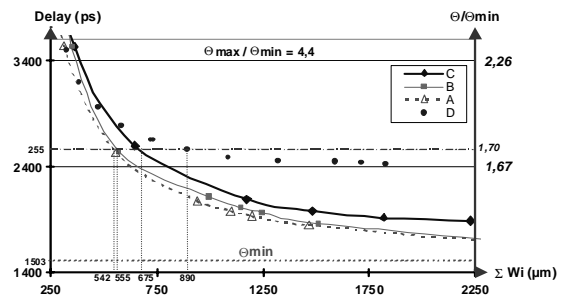


Fig.4. Exploration de l'espace de conception en utilisant les différentes techniques de distribution: (A) égale sensibilité, (B)distribution pondérée, (C)délais égaux [4,] (D) Amps.

Bibliographies

- [1] J. M. Shyu, A. Sangiovanni-Vincentelli, J. Fishburn, A. Dunlop, "Optimization-based transistor sizing" IEEE J. Solid State Circuits, vol.23, n°2, pp.400-409, 1988.
- [2] J. Fishburn, A. Dunlop, "TILOS: a posynomial programming approach to transistor sizing" in Proc. Design Automation Conf. 1985,pp.326-328.
- [3] C. Mead, M. Rem, "Minimum propagation delays in VLSI", IEEE J. Solid State Circuits, vol.SC17, n°4, pp.773-775, 1982.
- [4] I. Sutherland, B. Sproull, D. Harris, "Logical Effort: Designing Fast CMOS Circuits", Morgan Kaufmann Publishers, INC., San Francisco, California, 1999.

- [5] K. O. Jeppson, "Modeling the influence of the transistor gain ratio and the input-to-output coupling capacitance on the CMOS inverter delay", IEEE J. Solid State Circuits, vol.29, pp.646-654, 1994.
- [6] S. Chakraborty, R. Murgai "Lay-out driven timing optimization by generalized DeMorgan transform" IWLS 2001, pp.53-59.
- [7] M. Ketkar, K. Kasamsetty, S. Sapatnekar "Convex delay models for transistor sizing" Proc. of the 2000 Design Automation Conf. pp.655-660.
- [8] J. Grodstein, E. Lehman, H. Harhness, B. Grundmann, Y. Wanatabe "A delay model for logic synthesis of continuously-sized networks", ICCAD 95, Nov 95.
- [9] R. K. Brayton, R. Spence "Sensitivity and Optimization" Elsevier 1980

Ver9																
Type	nd2	nd2	inv	nd2	nr2	nd3	nr2	nd2	nd3							
Cp/Cref	4	6	8	6	6	4	6	4	5							
Ver91																
Type	nd2	nd3	inv	nd2	nr3	nd3	nr2	nd2	nr3							
Cp/Cref	4	6	8	6	6	4	6	4	9							
Ver11																
Type	nr2	nd2	inv	nd2	nr3	inv	nr2	nd2	nd3	nd2	nr3					
Cp/Cref	3	4	3	3	8	4	6	2	8	5	12					
Ver15																
Type	nr3	nd2	nd3	inv	nr3	nd3	nr2	nd2	inv	nr2	inv	nd3	nr3	nd2	nr2	
Cp/Cref	3	5	7	5	8	6	9	2	11	2	14	7	9	5	18	
Ver151																
Type	nr2	nd2	inv	nd3	inv	nd2	nr3	nd2	nr3	inv	nr2	nd3	nr3	inv	nr3	
Cp/Cref	3	7	2	5	8	2	3	7	11	2	8	7	7	3	18	
Ver21																
Type	nr3	nd2	inv	nd2	nr2	nd3	nr2	nd2	nd3	nd2	nr3	nd2				
Cp/Cref	2	6	9	6	8	4	9	2	10	4	9	4				
Type	nr3	nd3	nr2	nd2	nr3	inv	nd2	nd3	inv	nd3	nr2					
Cp/Cref	9	2	9	8	7	7	4	3	11	7	15					
Ver31																
Type	nr2	nd3	nd2	inv	nr2	nd3	nr2	nd2	nd3	nd2	nr3	nd3	nr2	nd2	nr3	inv
Cp/Cref	2	6	9	6	8	4	9	2	10	4	9	2	9	8	7	7
Type	nd2	nd3	inv	nd3	nr2	inv	nr3	inv	nr2	nd2	nd3	nd3	nr3	nd2	nr2	
Cp/Cref	4	3	11	7	8	2	4	10	8	5	9	7	6	4	15	

Tableau 1.Composition des circuits test utilisés pour valider les méthodes de distribution.

Bench	Gate nb	Max. delay value (ps)	ΣW_i (μm)	Sizing Techn.	Min. delay value (ps)	ΣW_i (μm)
Ver9	9	1399	38	A	544	668
				B	544	668
				C	606	240
				D	602	403
Ver91	9	1874	42	A	620	987
				B	620	987
				C	676	391
				C	633	632
Ver11	11	2085	46	A	698	1448
				B	698	1448
				C	777	440
				D	937	348
Ver15	15	3588	64	A	974	4077
				B	974	4077
				C	1154	800
				D	1224	1047
Ver151	15	3479	3479	A	923	4337
				B	923	4337
				C	1023	1083
				D	960	3067
Ver21	21	4583	94	A	1192	8419
				B	1192	8419
				C	1484	1039
				D	1693	1152
Ver31	31	6560	138	A	1503	21578
				B	1503	21578
				C	1881	2226
				D	2426	1826

Tableau 2. Comparaison de la valeur minimale de délai obtenue avec les différentes techniques de distribution.

Bench	Gate nb	Max. delay value (ps)	ΣW_i (μm)	Sizing Techn.	Min. delay value (ps)	ΣW_i (μm)
Ver9	9	1399	38	A	544	668
				B	544	668
				C	606	240
				D	602	403
Ver91	9	1874	42	A	620	987
				B	620	987
				C	676	391
				C	633	632
Ver11	11	2085	46	A	698	1448
				B	698	1448
				C	777	440
				D	937	348
Ver15	15	3588	64	A	974	4077
				B	974	4077
				C	1154	800
				D	1224	1047
Ver151	15	3479	3479	A	923	4337
				B	923	4337
				C	1023	1083
				D	960	3067
Ver21	21	4583	94	A	1192	8419
				B	1192	8419
				C	1484	1039
				D	1693	1152
Ver31	31	6560	138	A	1503	21578
				B	1503	21578
				C	1881	2226
				D	2426	1826

Tableau 3. Comparaison des surfaces (calculées par la somme de la largeur des transistors) nécessaires pour satisfaire les contraintes en utilisant les différentes techniques de distribution.