



HAL
open science

Test Intégré de Circuits Digitaux : Etude Comparative de l'Efficacité de deux types de Séquences de Test

Arnaud Virazel, René M. G. David, Patrick Girard, Christian Landrault, Serge Pravossoudovitch

► To cite this version:

Arnaud Virazel, René M. G. David, Patrick Girard, Christian Landrault, Serge Pravossoudovitch. Test Intégré de Circuits Digitaux : Etude Comparative de l'Efficacité de deux types de Séquences de Test. JNRDM: Journées Nationales du Réseau Doctoral de Microélectronique, LIRMM; CEM2, May 2000, Montpellier, France. pp.86-87. <lirmm-00345804>

HAL Id: lirmm-00345804

<https://hal-lirmm.ccsd.cnrs.fr/lirmm-00345804v1>

Submitted on 19 Jul 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire HAL, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



HAL Authorization

Test Intégré de Circuits Digitaux : Etude Comparative de l'Efficacité de Deux Types de Séquences de Test

A. Virazel*, R. David**, P. Girard*, C. Landrault* et S. Pravossoudovitch*

* Laboratoire d'Informatique, de Robotique et de
Microélectronique de Montpellier
161 rue Ada, 34392 Montpellier Cedex 5

** Laboratoire d'Automatique de Grenoble
ENSIEG - INPG
BP 46, 38402 St-Martin-d'Hères

E-mail : . virazel@lirimm.fr

Résumé

L'étude présentée dans ce papier est une analyse des capacités de détection de fautes associées aux séquences de vecteurs adjacents (ou SIC pour Single Input Change) et non adjacents (ou MIC pour Multiple Input Change), dans le cadre du test intégré. Cette efficacité est exprimée en terme de couverture de fautes sur les modèles de collage, de court-circuit et de délai de chemin.

1. Introduction

Le test intégré (ou BIST pour Built-In Self Test) est une technique permettant de réduire de manière significative le coût du test en déportant un certain nombre des fonctionnalités du testeur sur le circuit à tester. Dans ce cadre, un bon compromis peut être obtenu entre le temps d'application du test, la surface additionnelle et la qualité de détection des fautes. Les ressources, dédiées à ce type de test, sont un générateur de vecteur de test et un analyseur de signature, comme présentées sur la Figure 1.

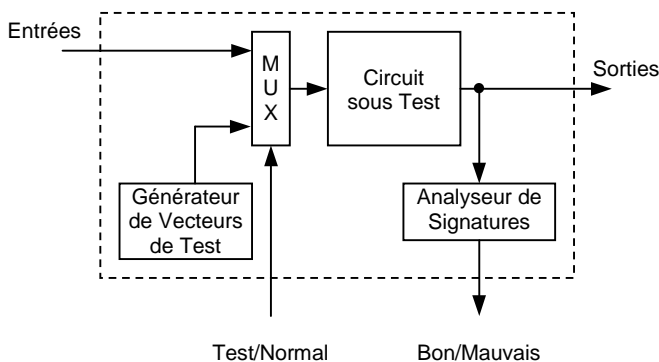


Figure 1. Schéma de principe du Test Intégré

Un certain nombre d'architectures de générateurs ont été proposées dans la littérature : les générateurs exhaustifs ou pseudo-exhaustifs [1], les générateurs déterministes [2], les générateurs pseudo-aléatoires [3] et les générateurs pondérés [4]. Ils se différencient par le taux de couverture de fautes, la longueur de la séquence de test et l'augmentation en

surface que peut impliquer l'implantation d'une méthode plutôt qu'une autre.

Dans cette étude, trois modèles de fautes sont considérés. Le modèle de fautes de collage, le modèle de fautes de court-circuit et le modèle de fautes de délai de chemin [5]. Dans le cadre du test des fautes de délai, le test intégré s'avère d'autant plus intéressant qu'il permet d'appliquer les vecteurs de test et d'analyser les réponses à la fréquence nominale de fonctionnement du circuit.

De façon générale, les générateurs intégrés produisent des séquences où les vecteurs successifs diffèrent de plusieurs bits (séquences MIC). Or, il apparaît que dans le cadre du test des fautes de délai, les séquences de vecteurs adjacents (séquences SIC) sont particulièrement intéressantes [5].

L'étude présentée ici porte sur l'évaluation des capacités de détection de fautes (de collage, de court-circuit et de délai) des séquences SIC par rapport aux séquences MIC.

2. Efficacité des Séquences SIC par rapport aux Séquences MIC

Pour des raisons pratiques, les séquences aléatoires SIC et MIC, considérées dans cette étude, ont été générées de manière logicielle [6]. Ces séquences sont suffisamment longues pour assurer un taux de couverture de fautes important quels que soient les modèles de fautes considérés (2 ordres de grandeur plus longues que les séquences déterministes). Les capacités de détection de ces deux séquences ont été évaluées sur les parties combinatoires des circuits de référence ISCAS'89 [7]. Les résultats, concernant la couverture de fautes de ces séquences, sur différents modèles de fautes (collage, court-circuit et délai de chemin) sont présentés dans le Tableau 1. Le simulateur de fautes utilisé est l'outil Testgen version Tg3.0.2 de Synopsys [8].

La première colonne (Circuits) donnent les noms des circuits traités. La partie suivante (Collage) présente les couvertures de fautes obtenues sur le modèle de fautes de collage pour la séquence SIC et la séquence MIC. De la même manière, les trois dernières parties indiquent respectivement les résultats obtenus sur les fautes de court-circuit (Court-Circuit) et sur les fautes de délai de chemin pour un test robuste [9] (Délai Robuste) et pour un test non-robuste [9] (Délai Non-Robuste).

Nous pouvons déduire, d'après les résultats présentés, que dans la plupart des cas, les couvertures de fautes de collage et de court-circuit obtenues avec une séquence SIC sont comparables à celles obtenues avec une séquence MIC.

Par contre, les résultats montrent que la séquence SIC est beaucoup plus efficace que la séquence MIC pour le test robuste des fautes de délai de chemin. En effet, la couverture de fautes de délai est de 83% en moyenne pour une séquence SIC tandis qu'elle est de 29% pour une séquence MIC. Toutefois, il s'avère que pour un test de délai non-robuste, la

séquence MIC est plus efficace que la séquence SIC. Les taux de couverture de fautes moyens sont 89% pour une séquence SIC et 97% pour une séquence MIC. Cependant, la détection robuste d'une faute de délai de chemin, supposant une faute unique dans le circuit, est la plus réaliste. En effet, si une faute de délai de chemin est détectée de manière robuste, cette faute sera détectée indépendamment des autres fautes de délai présentes dans le circuit, à l'inverse d'un test non-robuste. Il reste cependant un point à éclaircir : quelle est la signification réelle des couvertures de fautes pour un test robuste et non-robuste lors de l'application du test ?

L'étude présentée ici, montre l'efficacité des séquences de test SIC même dans le cas du test robuste des fautes de délai de chemin. Comme il a été précisé précédemment, les séquences de test, SIC et MIC, ont été générées de manière logicielle. Nos travaux futurs porteront donc sur la faisabilité matérielle d'un générateur capable de produire de telles séquences, dans le cadre du test intégré.

Circuit	Collage		Court-circuit		Délai Robuste		Délai Non-Robuste	
	Tc SIC (%)	Tc MIC (%)	Tc SIC (%)	Tc MIC (%)	Tc SIC (%)	Tc MIC (%)	Tc SIC (%)	Tc MIC (%)
s298	100	100	100	100	91,48	36,65	100	100
s382	100	100	99,5	99,5	91,19	33,38	99,48	99,86
s386	99,73	100	100	100	98,79	40,82	100	100
s420	90,1	92,39	82,38	89,64	66,86	37,24	68,62	84,31
s510	100	100	100	100	91,11	31,78	100	100
s526	98,2	99,64	99,25	100	90,4	30,09	95,98	100
s641	96,34	98,06	91,15	94,69	76,01	18,12	80,29	97,11
s713	96,86	98,34	94,07	94,44	83,72	20,76	83,84	96,74
s1238	97,93	99,21	96,45	97,53	89,11	29,35	97,16	99,84
s1494	100	100	100	100	94,51	30,83	100	99,78
s3330	80,81	85,1	87,59	92,75	62,28	23,47	77,63	90,71
s5378	90,97	99,01	92	99,48	64,77	24,51	67,23	97,09

Tableau 1. Efficacité des séquences SIC et MIC sur les modèles de fautes de collage, de court-circuit et de délai de chemin

Références

- [1] A. Vuksic and K. Fuchs, "A New BIST Approach for Delay Fault Testing", VLSI Test Symp. 1994, pp. 284-288.
- [2] C.W. Starke, "Built-In Test for CMOS Circuits", Int. Test Conf. 1984, pp. 309-314.
- [3] C. Chen and S. Gupta, "BIST Test Pattern Generators for Stuck-Open and Delay Testing", Euro. Design & Test Conf. 1994, pp. 289-296.
- [4] W. Wang and S.K. Gupta, "Weighted Random Robust Path Delay Testing of Synthesized Multilevel Circuits", VLSI Test Symp. 1994, pp. 291-297.
- [5] G.L. Smith, "Model for Delay faults based upon paths", Int. Test Conf. 1984, pp. 309-314.
- [6] R. David, "Random Testing of Digital Circuits; Theory and Applications", Marcel Dekker Inc, New York, 1998.
- [7] F. Brglez, D. Bryant and K. Kozminski, "Combinational Profiles of Sequential Benchmark Circuits", IEEE Int. Symp. on Circuits and Systems, pp. 1929-1934, 1989.
- [8] TestGen, Tg3.0.2 User Guide, Synopsys Inc., 1999.
- [9] E.S. Park, M.R. Mercer, "Robust and Non-Robust Tests for Path Delay Faults in a Combinational Circuit", Int. Test Conf. 1987, pp. 1027-1034.