



**HAL**  
open science

## **SECNUM : une plateforme pour étudier et comprendre les phénomènes de vieillissement**

Florent Bruguier, Pascal Benoit, Lionel Torres

### ► **To cite this version:**

Florent Bruguier, Pascal Benoit, Lionel Torres. SECNUM : une plateforme pour étudier et comprendre les phénomènes de vieillissement. Colloque GDR SoC-SiP, Jun 2013, Lyon, France. pp.1-2, 2013. lirmm-01253177

**HAL Id: lirmm-01253177**

**<https://hal-lirmm.ccsd.cnrs.fr/lirmm-01253177>**

Submitted on 8 Jan 2016

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Distributed under a Creative Commons Attribution - NoDerivatives | 4.0 International License

# SECNUM : une plateforme pour étudier et comprendre les phénomènes de vieillissement

Florent Bruguier, Pascal Benoit, Lionel Torres

LIRMM - UM2 - CNRS

Montpellier, France

email : {prenom.nom}@lirmm.fr

**Résumé** — Ce papier présente une méthode d'évaluation de vieillissement pour les circuits reconfigurables. Cette méthode est basée sur l'utilisation des émanations électromagnétiques pour caractériser le composant entre les différentes périodes de vieillissement accéléré réalisées à l'aide d'un stress en tension et en température du composant. Des résultats d'expérimentation menés sur un circuit reconfigurable de type Spartan-6 (45 nm) sont également proposés et permettent de valider cette méthode.

## I. INTRODUCTION

Dans l'industrie des semi-conducteurs, la connaissance et la gestion de la variabilité sont devenues un enjeu majeur pour les technologies récentes. En effet, en plus d'être soumis à des variations de performances à la sortie de la chaîne de fabrications, les circuits voient leurs performances se dégrader tout au long de leur utilisation. On parle alors de vieillissement de circuit. Il est donc nécessaire de mettre en place des solutions pour pouvoir évaluer ces dégradations afin de les prendre en compte tout au long de l'utilisation du circuit.

Tout comme les circuits intégrés spécifiques, les circuits reconfigurables ou FPGA<sup>1</sup> sont soumis à ce type de variations. Cependant, contrairement aux autres circuits intégrés, les FPGA présentent un avantage incontestable : ils sont reconfigurables. Il est donc possible de caractériser chacun de leurs blocs reconfigurables à différents instants de leur vie. Grâce à cela, il est possible de mieux comprendre les phénomènes de vieillissement et leur impact sur les circuits.

Dans ce papier, nous avons donc choisi de présenter une plateforme permettant à la fois de vieillir les composants mais aussi de les caractériser pour étudier l'impact du vieillissement sur leurs performances.

Dans un premier temps, nous présenterons les différents phénomènes de vieillissement et leur impact sur les circuits. Puis, nous présenterons la méthode utilisée pour caractériser et faire vieillir notre circuit. Enfin, avant de conclure, des résultats expérimentaux permettent de valider la méthode.

## II. VIEILLISSEMENT

### A. Mécanismes de vieillissement

Il existe trois principaux phénomènes de dégradation des composants qui affectent les transistors MOS : la rupture diélectrique dépendant du temps (TDDB<sup>2</sup>); l'injection de porteurs chauds (HCI<sup>3</sup>) et l'instabilité de température à tendance négative (NBTI<sup>4</sup>).

<sup>1</sup> Field-Programmable Gate Array

<sup>2</sup> TDDB : Time-Dependent Dielectric Breakdown

<sup>3</sup> HCI : Hot Carrier Injection

<sup>4</sup> NBTI : Negative-Bias Temperature Instability

Le premier de ces phénomènes est dû à une accumulation de charges au niveau de l'oxyde de silicium créée par une tension grille-substrat importante [1]. Cette accumulation vient affaiblir l'isolant qui se met progressivement à fuir. Le TDDB a donc pour conséquence une augmentation du courant de fuite qui entraîne une augmentation de la puissance consommée ainsi qu'une diminution de la vitesse de commutation du transistor impacté.

Le HCI, quant à lui, est dû à la présence de porteurs chauds dans le canal de conduction [2]. En effet, certains porteurs voient leur énergie dépasser la barrière de potentiel de l'isolant et ils sont ensuite accélérés par le champ électrique créé par la grille. Quand une collision entre porteurs et ions arrive, un défaut est créé. Ce défaut entraîne une augmentation de la tension de seuil ainsi qu'une diminution de la mobilité des porteurs et donc une diminution de la vitesse de commutation.

Le NBTI se manifeste par une diffusion des ions hydrogènes entraînant la création de pièges d'interface lors d'un stress en température ou en tension [3]. Ce type de mécanisme est prédominant pour les transistors PMOS. Son équivalent pour les transistors NMOS le PBTI a pour l'instant un effet négligeable. Le NBTI engendre principalement une augmentation de la tension de seuil des transistors ce qui entraîne une augmentation du temps de commutation.

### B. Modélisation

Les trois mécanismes de vieillissement présentés sont influencés par la température et la tension d'alimentation. Cette dépendance nous permet d'envisager d'accélérer le processus de dégradation en jouant sur ces paramètres.

Dans [4], une loi de dépendance des trois phénomènes en fonction de la température est proposée. Le Tableau 1 présente ces trois relations. Dans celui-ci,  $t_d$  correspond au temps avant défaut. Chaque expression dépend d'une énergie d'activation  $E_a$  propre à chaque mécanisme ainsi que de la température  $T$  en Kelvin et de la constante de Boltzmann  $\kappa$ .

Mécanisme	TDDB	HCI	NBTI
Température	$t_d \propto e^{\left(\frac{E_aTDDB}{\kappa T}\right)}$	$t_d \propto e^{\left(\frac{E_aHCI}{\kappa T}\right)}$	$t_d \propto e^{\left(\frac{E_aNBTI}{\kappa T}\right)}$
Tension	$t_d \propto \frac{1}{\phi} e^{\left(-a\sqrt{\phi} + \frac{b}{\phi}\right)}$	$t_d \propto \left(\frac{I_{sub}}{W}\right)^{-n}$	$t_d \propto V_{GS}^{-\gamma}$

TABLEAU 1 : INFLUENCE DES PARAMETRES SUR LE TEMPS AVANT DEFAUT

Le Tableau 1 présente également la dépendance à la tension d'alimentation des phénomènes de dégradation. Comme montré dans [4], le NBTI dépend directement de la tension de seuil  $V_{GS}$  tandis que le TDDB dépend de l'importance du

champ de force  $\phi$  [5] et que le HCI est calculé à partir du courant de substrat  $I_{\text{sub}}$  et de la largeur de transistor  $W$  [6].

### C. Estimation

Connaissant tous les paramètres d'une technologie, il est ensuite possible d'estimer le facteur d'accélération du temps avant défaut que l'on obtient en modifiant les paramètres précédents. A titre d'exemple, des estimations d'accélération sont présentées dans le Tableau 2 pour la technologie 45 nm utilisée pour réaliser les circuits reconfigurables Spartan-6.

Fonctionnement	Tension	Température	TDDB	HCI	NBTI
Normal	1.2V	298K	1x	1x	1x
Stress en température	1.2V	353K	$\propto 10x$	$\propto 1x$	$\propto 10^2x$
Stress en tension	1.8V	298K	$\propto 10^5x$	$\propto 10^5x$	$\propto 10x$
Stress total	1.8V	353K	$\propto 10^6x$	$\propto 10^5x$	$\propto 10^3x$

TABLÉAU 2 : ACCÉLÉRATION DES PHÉNOMÈNES DE VIEILLISSEMENT

Comme nous pouvons l'observer, le stress issu d'une augmentation de tension a beaucoup plus d'impact sur le vieillissement du circuit que celui engendré par une augmentation de la température de l'environnement du circuit.

## III. PROTOCOLE EXPERIMENTAL

### A. Stratégie expérimentale

Afin de pouvoir, à la fois, observer et dégrader les performances d'un circuit, nous avons décidé de mettre en place la stratégie en deux étapes. Dans un premier temps, le circuit est entièrement caractérisé. Ensuite, il est soumis à un stress lors de son fonctionnement avant d'être caractérisé de nouveau.

### B. Méthode de caractérisation

La méthode de caractérisation choisie est celle décrite dans [7]. Pour cela, un oscillateur est positionné tour à tour dans chacun des blocs reconfigurable du circuit. Cet oscillateur va fonctionner à la fréquence maximale du bloc. Cette fréquence est ensuite mesurée en analysant les émissions électromagnétiques du circuit. Cette opération est répétée pour chacun des blocs reconfigurables, ce qui permet d'obtenir une cartographie complète du circuit.

### C. Vieillissement

Afin de réaliser le vieillissement du circuit, celui-ci est soumis à la fois à un stress en température et en tension. Afin d'observer les différents mécanismes de vieillissement, le circuit est programmé à l'aide d'un motif défini à l'avance.

## IV. RESULTATS ET VALIDATION

### A. Protocole expérimental

Le processus d'évaluation de vieillissement a été réalisé avec succès sur un circuit reconfigurable de type Spartan-6 à l'aide de la plateforme de caractérisation SECNUM [8].

La séquence de vieillissement est décomposée en 7 séquences de stress en tension et en température consécutives entrecoupées de séquences de caractérisation du circuit. Durant

la phase de vieillissement, un motif de stress est programmé à l'intérieur du FPGA.

### B. Résultats

La Figure 1 montre la différence obtenue entre la toute première cartographie et la dernière cartographie. L'axe z présente la perte de performance en Hertz qu'a subi chacun des blocs reconfigurables. Il nous est possible tirer plusieurs conclusions de cette cartographie.

Premièrement, il nous a bien été possible de visualiser une dégradation de performances à l'intérieur du FPGA. Deuxièmement, nous pouvons observer que les zones stressées pendant les périodes de vieillissement ont subi une dégradation plus importante que celles qui n'étaient pas utilisées.

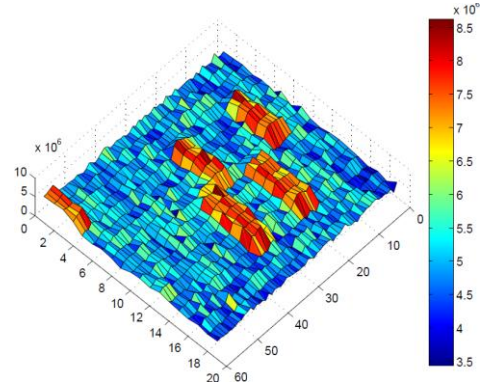


FIGURE 1 : CARTOGRAPHIE REPRESENTANT LA PERTES DE PERFORMANCES APRES VIEILLISSEMENT

## V. CONCLUSION

Ce papier propose une méthode d'étude du vieillissement de composants reconfigurables. Celle-ci est basée sur la caractérisation des circuits à l'aide des émanations électromagnétiques. Afin de valider la méthode, le vieillissement d'un circuit Spartan-6 (45 nm) a été mené avec succès.

Dans nos prochains travaux, nous nous pencherons sur l'impact de la configuration du circuit sur son vieillissement.

## RÉFÉRENCES

- [1] Y. C. Yeo, Q. Lu, and C. Yu, "MOSFET gate oxide reliability: Anode hole injection model and its applications," *International Journal of High Speed Electronics and Systems*, vol. 3, no. 11, pp. 849–886, 2001.
- [2] C. Hu, S. C. Tam, F.-C. Hsu, P.-K. Ko, T.-Y. Chan, and K. W. Terrill, "Hot-Electron-Induced MOSFET Degradation - Model, Monitor, and Improvement," *IEEE Journal of Solid-State Circuits*, vol. 20, no. 1, pp. 295–305, 1985.
- [3] V. Reddy, A. T. Krishnan, A. Marshall, J. Rodriguez, S. Natarajan, T. Rost, and S. Krishnan, "Impact of negative bias temperature instability on digital circuit reliability," *Microelectronics Reliability*, vol. 45, no. 1, pp. 31–38, Jan. 2005.
- [4] X. Li, J. Qin, J. B. Bernstein, and S. Member, "Compact Modeling of MOSFET Wearout Mechanisms for Circuit-Reliability Simulation," *IEEE Transactions on Device and Materials Reliability*, vol. 8, no. 1, pp. 98–121, 2008.
- [5] J. R. Lloyd, E. Liniger, and T. M. Shaw, "Simple model for time-dependent dielectric breakdown in inter- and intralevel low-k dielectrics," *Journal of Applied Physics*, vol. 98, no. 8, pp. 1–6, 2005.
- [6] E. Amat, T. Kauerauf, R. Degraeve, A. De Keersgieter, R. Rodriguez, M. Nafria, X. Aymerich, and G. Groeseneken, "Channel hot-carrier degradation in short-channel transistors with high-k/metal gate stacks," *IEEE Transactions on Device and Materials Reliability*, vol. 9, no. 3, pp. 425–430, 2009.
- [7] F. Bruguier, P. Benoit, P. Maurine, and L. Torres, "A Novel Process Characterisation Method for FPGAs based on Electromagnetic Analysis," in *VARI: 2nd European Workshop on CMOS variability*, 2011, pp. 2–5.
- [8] M. Bourrée, F. Bruguier, L. Barthe, P. Benoit, P. Maurine, and L. Torres, "SECNUM: an Open Characterizing Platform for Integrated Circuits," in *European Workshop on Microelectronics Education (EWME)*, 2012, pp. 88–91.